

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年10月13日 (13.10.2005)

PCT

(10) 国際公開番号
WO 2005/096365 A1

(51) 国際特許分類⁷: **H01L 21/331**, 21/3205, 27/095, 29/47, 29/737, 29/866, 29/872

(21) 国際出願番号: PCT/JP2005/006165

(22) 国際出願日: 2005年3月30日 (30.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-098911 2004年3月30日 (30.03.2004) JP

(71) 出願人(米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP). NEC化合物デバイス株式会社 (NEC COMPOUND SEMICONDUCTOR DEVICES, LTD.) [JP/JP]; 〒2118666 神奈川県川崎市中原区下沼部1753 Kanagawa (JP).

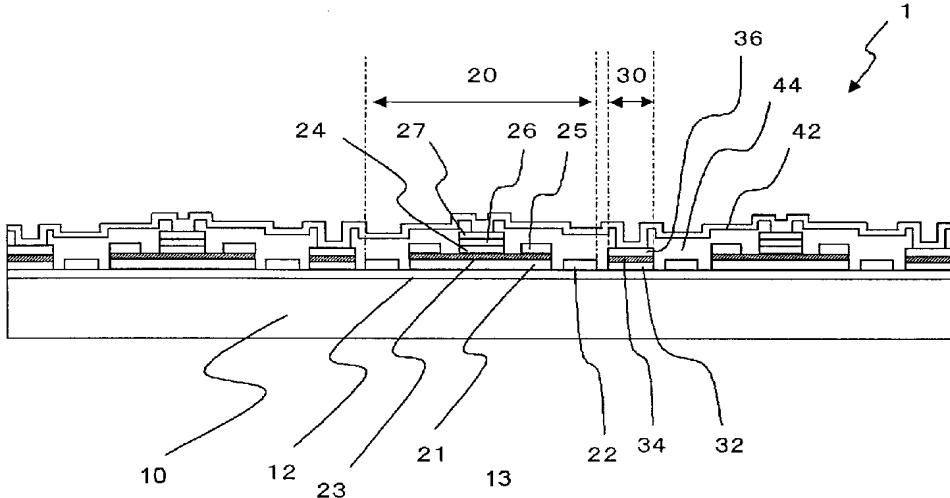
(72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 黒田 尚幸 (KURODA, Naotaka) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 田能村 昌宏 (TANOMURA, Masahiro) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 黒澤 直人 (KUROSAWA, Naoto) [JP/JP]; 〒2118666 神奈川県川崎市中原区下沼部1753 NEC化合物デバイス株式会社内 Kanagawa (JP).

(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).

/続葉有/

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Disclosed is a semiconductor device having sufficiently high heat dissipation performance wherein increase in the chip area is suppressed. In a semiconductor device (1), a plurality of HBTs (20) and a plurality of diodes (30) are one-dimensionally alternately arranged on a semiconductor substrate (10). Anode electrodes (36) of the diodes (30) are connected to emitter electrodes (27) of the HBTs (20) via a common emitter wiring (42). The diodes (30) serve as heat dissipating means for radiating the heat transmitted from the emitter electrodes (27) via the common emitter wiring (42) to the semiconductor substrate (10), while also serving as protective diodes connected in parallel between the emitters and the collectors of the HBTs (20).

(57) 要約: チップ面積の大型化を抑制しつつ、充分に高い放熱性能を有した半導体装置を提供する。半導体装置1において、半導体基板10上には、複数のHBT 20と複数のダイ

/続葉有/

WO 2005/096365 A1



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

オード30とが1次元的に交互に配置されている。ダイオード30のアノード電極36は、共通エミッタ配線42を介して、HBT20のエミッタ電極27と接続されている。ダイオード30は、エミッタ電極27から共通エミッタ配線42を通じて伝わってきた熱を半導体基板10へと放散する放熱手段として機能するとともに、HBT20のエミッタコレクタ間に並列接続された保護ダイオードとしても機能するものである。

明 細 書

半導体装置

技術分野

[0001] 本発明は、半導体装置に関するものである。

背景技術

[0002] 携帯電話などの携帯通信端末に使用される高周波電力増幅器(PA:Power Amplifier:以下、PAと略す)は通信中継点から離れた位置においても良好な通信が可能となるように高出力が要求されている。

[0003] 高周波電力増幅器に使用される半導体装置は、III-V族化合物半導体系の、金属半導体電界効果トランジスタ(MESFET:Metal-Semiconductor-Field-Effect-Transistor、以下、MESFETと略す)あるいは、MESFETの高周波特性およびノイズ特性を改善したHEMT(High Electron Mobility Transistor、以下、HEMTと略す)と称される素子(以下、MESFETおよびHEMTを合わせて、FETと称する場合がある)、あるいは、ヘテロ接合バイポーラトランジスタ(Hetero-junction Bipolar Transistor:以下、HBTと略す)を基本構成単位とした半導体素子を複数個用いた高出力半導体装置(パワートランジスタ)が使用されていた。

[0004] 一方で、携帯端末においては高機能かつ低価格化が進んでおり、端末内のPAに対しても小型化、低価格化の要求が強い。このような携帯端末用PAには、上述の高出力半導体装置をIC化したPAが要求され、混集積回路装置(HIC:Hybrid Integrate電気ircuit)やMMIC(Monolithic Microwave Integrate電気ircuit)が使用されている。

[0005] 半導体素子としてHBTは、FETに比べて、出力電流密度が高く、素子面積の縮小に有利であり、且つ单一電源で動作することが可能であるため、小型化・低価格化が強く要求されている携帯端末用の電力増幅器への応用に特に適しており、最近の高周波電力増幅器に使用される半導体素子としては、HBTを用いたものが主流となっている。

[0006] その一方で、HBTは、その出力電流密度の高さに起因して、半導体素子の発熱密

度も高くなる。それゆえ、高電力で動作するHBTの性能は、HBTが搭載される半導体装置において消耗される電力によって著しく制限される。HBTは自己発熱により半導体素子の温度上昇が生じ、温度上昇に伴ってコレクタ電流が増加する。このコレクタ電流増加が、さらなる半導体素子温度上昇を招くという正帰還現象が生じ、最終的には熱暴走に至る場合があった。

[0007] 热暴走を防止するため、通常はエミッタあるいはベースと直列にバラスト抵抗と呼ばれる抵抗を挿入することで電流の安定化を図っている。しかしながらバラスト抵抗の値が大きいと電気的な特性が悪化するという問題がある。

[0008] また、FETの場合も、半導体素子の自己発熱によりチャネル温度が上昇すると移動度が低下する。それにより相互コンダクタンス g_m が低下し、 g_m の低下がオン抵抗の増大を引き起こす。このオン抵抗の増大により出力及び効率が低下するという問題が生じる。

[0009] 高出力を得るためにには、FETの場合は、ゲート幅を、HBTの場合は、エミッタ面積を大きくする必要がある。単純にゲート幅あるいはエミッタ面積を大きくすると、出力効率の悪化、チップ面積の増大等種々の問題が生じる為に、基本構成単位とした半導体素子を多数個ある間隔をもって並べて並列動作させている。基本構成単位とした半導体素子は、1以上の半導体素子をユニットとすることもできるので、以下、基本構成単位とした半導体素子を単位半導体素子と称する。尚、実施の形態では説明を簡略化するために単位半導体素子は、1つの半導体素子で構成したもので説明を行っている。

[0010] 単位半導体素子を複数を複数用いたマルチセル構造の半導体装置では、単位半導体素子を1列あるいはn行m列のマトリックス形状に並べる等の並べ方がある。

[0011] 多数の単位半導体素子を並べた場合、中央部に位置する単位半導体素子は、自己発熱による温度上昇に加え、他の単位半導体素子からの熱干渉による温度上昇が、端部に位置する単位半導体素子よりも大きくなる。そのためマルチセル構造の中央部の単位半導体素子は半導体基板の端部の単位半導体素子よりも高温になり、温度アンバランスが生じて電気的な特性が悪化するという問題も生じ、更に、HBTでは、発熱の正帰還により熱暴走しやすくなるという問題がある。このために高出力半

導体装置では半導体素子の発熱を効率よく逃がす構造の開発が急務であり、従来から種々の手法が提案されている。

[0012] その手法の1つとして、基板の厚みを薄くするという手法が提案されている。この手法によれば、半導体素子で発生した熱が基板を通って基板の裏面に至るまでの経路を短くすることができるので、当該経路の熱抵抗を低減することができる。

[0013] しかしながら、基板を薄くする手法では、チップの機械的強度が損なわれるという問題がある。例えば、GaAs等の熱伝導率の比較的小さな化合物半導体を基板として用いた場合では、基板の厚さを $50 \mu m$ 以下まで薄くしないと熱抵抗を効果的に低減することができないが、このような薄い基板厚ではチップの機械的強度を充分に確保することができない。

[0014] これに対して、特開平8-279562号公報には、これとは別の方法で、熱抵抗を低減することのできる半導体装置が開示されている。図14を参照しつつ、同文献に記載された半導体装置について説明する。半導体装置100は、複数のHBTと、各HBTに隣接して設けられた複数のバイアホール102を備えている。また、各HBTのエミッタ電極104は、エアブリッジ配線106を介してバイアホール102に接続されている。半導体装置100において、HBTで発生した熱の一部は、エアブリッジ配線106及びバイアホール106を通じて、基板の裏面に設けられたPHS108へと放散される。

特許文献1:特開平8-279562号公報

特許文献2:特開平11-274381号公報

発明の開示

発明が解決しようとする課題

[0015] しかしながら、図14の半導体装置では、 $30 \mu m$ の厚さの基板を貫通する多くのバイアホールを設け、エミッタからの発熱をPHSに逃がしているので熱放散は十分に行われているが、バイアホールを形成する為には図14から明らかなようにエミッタ電極よりもはるかに大きな面積(通常、数 $10 \mu m^2$ 角)の開口を形成する必要がありチップ面積が増大してしまうという問題がある。各単位半導体素子の近傍にそれぞれバイアホールを配置する場合、バイアホールを設けるだけで半導体装置として非常に大きな面積が必要となり、半導体装置のチップ面積の増大につながってしまう。更に、多

数の単位半導体素子の近傍に多くのバイアホールが配置されると、基板の厚さが30 μ mのチップの機械的強度がさらに弱くなってしまうという場合があった。

[0016] 特開平11-274381号公報には、バイアホールを用いずに熱抵抗を低減する別の手法が開示されている。図15を用いて、同文献に記載された半導体装置について説明する。半導体装置120は、複数のHBTと、各HBTのエミッタ電極122にエアブリッジ配線124を介して接続された複数の放熱板126とを備えている。これらの放熱板126は、金属製で、絶縁膜128を介して半絶縁性半導体層130に設けられている。半導体装置120で、HBTで発生した熱の一部は、エアブリッジ配線124を通じて放熱板126に伝えられ、放熱板126から基板へと放散される。

[0017] しかしながら、図15の半導体装置では、エミッタ電極と繋がる放熱板と単位半導体素子のコレクタを絶縁するために絶縁領域が形成されている。この絶縁領域を形成する際には絶縁領域とコレクタ電極間にプロセス上のマージンを取る必要がある。更には絶縁領域上に放熱板形成する際にもマージンをとておく必要がある。例えばGaAsの場合、図18に示すように絶縁領域の間隔が小さくなるとリーク電流が増大する傾向にあり、例えば3V動作においては10 μ m程度のマージンが必要になる。これらのことからコレクタ電極と放熱板との距離が増大し、チップの小型化には適していない。

[0018] 本発明は、上記事情に鑑みてなされたものであり、チップ面積の大型化を抑制しつつ、充分に高い放熱性能を有した半導体装置を提供することを目的とする。

課題を解決するための手段

[0019] 本発明は、半導体基板上に形成された複数の単位半導体素子と、単位半導体素子を構成する複数の導電層と、単位半導体素子で発生した熱を放散する放熱手段とを有し、放熱手段は、少なくとも一端が、単位半導体素子の電極から延在する配線に接続されていることを特徴とする半導体装置である。

[0020] 放熱手段は、隣接する単位半導体素子間に形成される、あるいは、単位半導体素子に隣接する2以上の半導体装置を有し、放熱手段が、2以上の半導体装置のいずれか一方の半導体装置との間に配されていることを特徴とするものである。

[0021] 更に、一定の配列を持って半導体基板上に形成された複数の単位半導体素子の

端部側の端面に放熱手段が形成されていることを特徴としている。

- [0022] 配線が、前記複数の単位半導体素子の同一機能を有する電極間を接続され、単位半導体素子を構成する複数の導電層の1つの導電層あるいは、複数の導電層の1つの導電層と同一工程で形成され、複数の導電層の1つの導電層と離間して設けられた導電層と放熱手段の他端が接続されていることを特徴としている。
- [0023] また、半導体基板が半絶縁性基板であり、放熱手段が、配線と半絶縁性基板との接続領域であることを特徴とするものであってもよく、配線が、単位半導体素子および放熱手段を覆う絶縁膜上に形成され、絶縁膜に設けた開口部を介して単位半導体素子を構成する電極および放熱手段と接続されていてもよく、更に、配線が、複数の単位半導体素子の同一機能を有する電極間を接続していることが好ましい。
- [0024] 絶縁膜は、比誘電率が、3.0以下であることが好ましく、多孔質膜であっても良い。
- [0025] 半導体基板上の放熱手段が設けられた領域の面積は、複数の半導素子の比較的中央部に位置する放熱手段が設けられた領域の面積が、複数の半導素子の比較的端部に位置する放熱手段が設けられた領域の面積よりも大きいことが好ましい。これにより、熱干渉の影響により特に高温になる中央部の単位半導体素子へのセル間熱干渉を低減できるため、複数の単位半導体素子間における接合温度の均一化および電流密度の均一化を図ることができる。
- [0026] 更に、放熱手段が、単位半導体素子に電圧が印加された状態で配線と導電層との間が電気的に絶縁されていることが好ましい。
- [0027] この半導体装置においては、単位半導体素子で発生した熱は、単位半導体素子から直接に半導体基板に放散される以外に、配線を通じて放熱手段へと伝えられ、放熱手段を介しても半導体基板に放散される。これにより、この半導体装置は、高い放熱性能を有する。しかも、上述した図14に記載の半導体装置のようにバイアホールを通じて放熱する場合とは異なり、チップ面積の増大を抑制することができる。
- [0028] 本発明の単位半導体素子は、バイポーラ素子、あるいは、ヘテロバイポーラ素子であることを特徴としている。
- [0029] 単位半導体素子が、バイポーラ素子である場合、バイポーラ素子を構成する複数の導電層の1つの導電層、あるいは、バイポーラ素子を構成する複数の導電層の1

つの導電層と同一工程で形成され、複数の導電層の1つの導電層と離間して設けられた導電層と、放熱手段の他端とが接続していることが好ましく、導電層としては、バイポーラ素子のサブコレクタ層、あるいは、サブコレクタ層と同一工程で形成され、サブコレクタ層と離間して設けられた導電層であることが好ましい。

- [0030] 放熱手段は、少なくともバイポーラ素子の間、または、隣接するバイポーラ素子の一方のバイポーラ素子との間に形成されていることが好ましい。
- [0031] 複数のバイポーラ素子の端部に位置するバイポーラ素子の端部側の端面に放熱手段を設けることができる。
- [0032] 放熱手段は、バイポーラ素子に電圧が印加された状態で配線と導電層との間が電気的に絶縁されていることが好ましい。
- [0033] 複数のバイポーラ素子が一定の方向に連続して形成され、放熱手段が少なくともバイポーラ素子の間、または、隣接する前記バイポーラ素子の一方のバイポーラ素子との間に形成され、バイポーラ素子を構成する導電層の1つの導電層、あるいは、バイポーラ素子を構成する複数の導電層の1つの導電層と同一工程で形成され、前記複数の導電層の1つの導電層と離間して設けられた導電層とが、前記一定の配列と垂直な方向に延在するように形成されていることが好ましく、電極が、前記バイポーラ素子のエミッタ電極であることが好ましい。
- [0034] 配線は、複数のバイポーラ素子のエミッタ電極間を接続していることが好ましい。
- [0035] 配線は、バイポーラ素子および放熱手段を覆う絶縁膜上に形成され、絶縁膜に設けた開口部を介して前記バイポーラ素子の電極および放熱手段の一端と接続されていることが好ましい。
- [0036] 更に、電極が、バイポーラ素子のエミッタ電極であり、導電層がバイポーラ素子のサブコレクタ層、あるいは、バイポーラ素子を構成するサブコレクタ層と同一工程で形成され、サブコレクタ層と離間して設けられた導電層であり、配線とバイポーラ素子のサブコレクタ層、あるいは、バイポーラ素子を構成するサブコレクタ層と同一工程で形成され、サブコレクタ層と離間して設けられた導電層との間に形成された前記放熱手段が、ダイオード素子であっても良い。ダイオード素子である場合、このダイオード素子がバイポーラトランジスタのコレクタにマイナス、エミッタにプラスの電界が印加された

場合の絶縁破壊に対する保護ダイオードとしての機能を持たせることができる。

ダイオード素子が、pn接合ダイオードまたはショットキー接合ダイオードであることが好ましい。

[0037] pn接合ダイオードが、バイポーラ素子のコレクタ層およびベース層で形成されていいことが好ましく、ベース層上に金属電極が形成されていても良い。ことを特徴とする請求項27に記載の半導体装置。

[0038] ショットキー接合ダイオードが、バイポーラ素子のコレクタ層と該コレクタ層上に形成され、コレクタ層とショットキー接合を形成する金属層とから形成され、ショットキー接合ダイオードは、金属電極を有し、金属電極のコレクタ層と接する側の金属層が、コレクタ層とショットキー接合を形成する金属であることが好ましい。

[0039] コレクタ層とショットキー接合を形成する金属層が、配線であり、配線の少なくともコレクタ層と接する側の金属層が、コレクタ層とショットキー接合を形成する金属であっても良い。

[0040] 本発明の放熱手段は、導電層が前記バイポーラ素子のサブコレクタ層、あるいは、サブコレクタ層と同一工程で形成され、サブコレクタ層と離間して設けられた導電層であり、放熱手段が、配線とサブコレクタ層あるいはサブコレクタ層と離間して設けられた導電層と配線との間に狭持された誘電体層からなる容量そしてあっても良く、更に、誘電体層が、バイポーラ素子およびサブコレクタ層を覆う絶縁膜であっても良い。

[0041] 複数のバイポーラ素子が一定の方向に連続して形成され、少なくとも配線が、容量素子を形成領域で一定の方向に垂直する方向に延在するように形成されていても良く、更に、サブコレクタ層を、配線に対向するように一定の方向に垂直な方向に延在するように形成しても良い。

[0042] 半導体基板が半絶縁性基板であり、半絶縁性基板の裏面に形成された裏面金属膜と、半絶縁性基板を貫通する開孔と、開孔に埋め込まれた金属とを有し、放熱手段が、前記半絶縁性基板上に形成された金属膜であって、金属膜と裏面金属膜とが開孔に埋め込まれた金属と接続していても良い。

[0043] 更に、半導体基板上の放熱手段が設けられた領域の面積は、複数の半導素子の比較的中央部に位置する放熱手段が設けられた領域が、複数の半導素子の比較的

端部に位置する前記放熱手段が設けられた領域に比して、放熱手段が設けられた領域の面積が大きいことが好ましい。

[0044] バイポーラ素子を構成する導電層の1つの導電層、あるいは、単位半導体素子を構成する導電層の1つの導電層と同一工程で形成され、前記複数の導電層の1つの導電層と離間して設けられた導電層と、放熱手段の他端とが接続していることが好ましく、放熱手段が、単位半導体素子を構成する電極であっても良い。この場合、単位半導体素子が、FETであって、電極がソース電極および／またはドレイン電極であることが好ましい。

[0045] 複数のFETのソース電極間が、配線によって接続され、ソース電極が、前記複数のFETの比較的中央部に位置するソース電極の面積が、複数の半導体素子の比較的端部に位置するソース電極の面積に比べて大きいことが好ましく、配線がソース電極と接続されていることが好ましい。

[0046] さらに、半導体基板上に複数設けられた放熱手段は、比較的中央部に位置するものの方が、比較的端部に位置するものよりも半導体基板またはエピタキシャル層との接触面積が大きくなっていることが好ましく、これにより、熱干渉の影響により特に高温になる中央部の単位半導体素子への熱干渉を低減できるため、複数の単位半導体素子間における接合温度の均一化および電流密度の均一化を図ることができる。

[0047] 単位半導体素子と放熱手段との間に設けられた絶縁膜が、単位半導体素子および放熱手段を覆うように形成されている場合、この絶縁膜は、比誘電率が3.0以下であった方が、配線が形成する浮遊容量が小さくなるので好ましく、更に、多孔質膜であつてもよい。

[0048] 本発明の半導体装置は、単位半導体素子で発生した熱が配線を通じて放熱手段へと伝えられ、その放熱手段からも半導体基板に放散される。この放熱手段は、配線と基板との間を電気的に絶縁する機能を有し、従来技術のようにチップ面積の増大に繋がる絶縁領域を設ける必要がない。このため、本発明に係る半導体装置は、高い放熱性能を有するとともに、チップ面積の増大を抑制することができる。ここで、「配線と基板との間を電気的に絶縁する」単位半導体素子に電圧を印加した状態で配線と単位半導体素子を形成する導電体との間に接続される放熱手段が熱を配線から

導電層を介して基板の裏面に放散し、且つ、電気的には、配線と導電層間で非導通状態にあることを意味し、例えば、放熱手段がダイオードの場合、ダイオードに逆方向の電圧が印加された状態となるので、耐圧を越えた電圧が印加されない場合は電気電流がほとんど流れないとなることをいう。放熱手段が容量素子であれば、単位半導体素子に印加される電圧では、容量素子に電気電流が流れることはない。

発明の効果

[0049] 本発明によれば、チップ面積の大型化を抑制しつつ、充分に高い放熱性能を有した半導体装置が実現される。

図面の簡単な説明

[0050] [図1]本発明による半導体装置の第1の実施の形態を示す模式的断面図である。

[図2]本発明による半導体装置の第1の実施の形態を示す模式的平面図である。

[図3]半導体装置1の効果を説明するための図である。

[図4]本発明による半導体装置の第2の実施の形態を示す模式的断面図である。

[図5]本発明による半導体装置の第3の実施の形態を示す模式的断面図である。

[図6]本発明による半導体装置の第3の実施の形態を示す模式的平面図である。

[図7]半導体装置2の変形例を説明するための図である。

[図8]本発明による半導体装置の第4の実施の形態を示す模式的平面図である。

[図9]本発明による半導体装置の第5の実施の形態を示す模式的平面図である。

[図10]実施の形態に係る半導体装置の変形例を説明するための模式図である。

[図11]実施の形態に係る半導体装置の変形例を説明するための模式図である。

[図12]実施の形態に係る半導体装置の変形例を説明するための模式図である。

[図13]実施の形態に係る半導体装置におけるバイアホールの配置例を説明するための模式図である。

[図14]従来の半導体装置を示す模式的断面図である。

[図15]従来の半導体装置を示す模式的断面図である。

[図16]実施の形態に係る半導体装置の変形例を説明するための模式図である。

[図17]第6の実施の形態を示す模式図である。

[図18]絶縁領域の間隔とリーク電流の傾向を示す図である。

符号の説明

[0051] 1 半導体装置
1a 半導体装置
2 半導体装置
2a 半導体装置
2b 半導体装置
10 半導体基板
12 コレクタ層
20 HBT
21 コレクタ層
22 コレクタ電極
23 ベース層
24 エミッタ層
25 ベース電極
26 キャップ層
27 エミッタ電極
30 ダイオード
32 n型層
34 p型層
36 アノード電極
42 配線
44 絶縁膜
50 ダイオード
52 n型層
54 ショットキー電極
60 放熱手段
62 金属膜
62a 金属膜

- 62b 金属膜
- 62c 金属膜
- 74 パッド
- 80 バイアホール
- 82 パッド
- 90 ゲート電極
- 91 ドレイン電極
- 92 ソース電極
- 93 絶縁膜
- 94 配線
- 95 活性層
- 96 半導体基板

発明を実施するための最良の形態

[0052] 以下、図面を参照しつつ、本発明による半導体装置の好適な実施の形態について詳細に説明する。なお、ここでいう半導体装置とは、高出力半導体装置および高出力半導体装置を含むMMICのような集積回路化された半導体集積回路装置も含むものとする、また、図面の説明においては、同一要素には同一符号を付し、重複する説明を省略する。

[0053] (第1の実施の形態)

図1は、本発明による半導体装置の第1の実施の形態を示す断面図である。また、図2は、本発明による半導体装置の第1の実施の形態を示す平面図である。図1は、図2のI—I線に沿った断面を示している。

[0054] 本実施の形態の半導体装置1は、半絶縁性の半導体基板上に形成されたnpn型のHBTを複数個、いわゆるマルチセル構成の高出力半導体装置である。半導体基板として半絶縁性の半導体基板を用いた例で説明しているがn型の半導体基板を用いることも、pnp型のHBTを用いることもできることは言うまでもない。

[0055] 図1に示す半導体装置1は、半絶縁性の半導体基板10の(001)面上に形成されたサブコレクタ層12と、サブコレクタ層12上に1次元的に交互に配列された、単位半

導体素子となるHBT20と放熱手段としてpn接合ダイオード30とで構成されている。HBTのコレクタは、サブコレクタ層12上に形成されたコレクタ層21とサブコレクタ層12上でコレクタ層21の両脇に形成されたコレクタ電極22で形成されている。各コレクタ層21上には、ベース層23が形成されている。ベース層23上には、エミッタ層24が形成され、ベース層23上のエミッタ層24の両脇にベース電極25が形成されている。さらに、エミッタ層24上には、キャップ層26、及びエミッタ電極27が順に積層されている。エミッタ電極27のサイズ(半導体基板10表面に平行な面内における面積)は、 $3 \mu m \times 20 \mu m$ とした。

[0056] 尚、サブコレクタ層12は、オーミックコンタクトを取りやすくするために不純物濃度をコレクタ層よりも高く設定した層である。

[0057] 尚、本実施の形態では、サブコレクタ層12上の各HBT20の互いに隣り合う2つのHBT20の間、及びHBT20の配列方向(図中の左右方向)の両端に配されている。これにより、HBT20とダイオード30とが、上記配列方向に沿って交互に配置された構成となっている。なお、ダイオード30は、各HBT20の少なくとも片側に配されていても良い。

[0058] コレクタ電極22は、サブコレクタ層12と、ベース電極25は、ベース層23と、エミッタ電極27は、キャップ層26とオーミック接合を形成している。尚、本実施の形態では、エミッタまたはベースと直列に形成されているバラスト抵抗は省略しているが、必要に応じ適宜形成することができることは言うまでもない。

[0059] 放熱手段は、サブコレクタ層12上に形成されたn型層32、n型層32上に形成されたp型層34、p型層34上に形成されたアノード層36から形成されたpn接合ダイオード30である。本実施の形態では、n型層32は、HBTのコレクタ層21と同じ層で構成され、p型層34は、HBTのベース層23と同じ層で構成され、アノード電極は、HBTのベース電極と同じメタルで構成されているので、放熱手段30は、HBTを形成する工程と同じ工程で形成することができる。ダイオード30のサイズ(基板10表面に平行な面内における面積)は、 $5 \mu m \times 20 \mu m$ とした。

[0060] これらのコレクタ層21、コレクタ電極22、ベース層23、エミッタ層24、ベース電極25、キャップ層26及びエミッタ電極27によりHBT20が構成されている。ここで、本実

施の形態で用いた各層の材料の組み合わせの一例を示すが、必ずしもこの条件でなくとも問題ないことは言うまでもない。

[0061] サブコレクタ層12:GaAs(n型)

不純物濃度: $3 \times 10^{18} / \text{cm}^3$

膜厚:500nm

コレクタ層21:GaAs(n型)

不純物濃度: $3 \times 10^{16} / \text{cm}^3$

膜厚:700nm

コレクタ電極22:AuGe/Ni/Au

膜厚:50/50/300nm

ベース層23:GaAs(p型)

不純物濃度: $4 \times 10^{19} / \text{cm}^3$

膜厚:80nm

エミッタ層24:AlGaAs(n型)

不純物濃度: $5 \times 10^{17} / \text{cm}^3$

膜厚:150nm

ベース電極25:Ti/Pt/Au

膜厚:50/50/100nm

キャップ層26:InGaAs(n型)

不純物濃度: $2 \times 10^{19} / \text{cm}^3$

膜厚:100nm

エミッタ電極27:WSi

膜厚:200nm

絶縁膜44:シリコン酸化膜(SiO_2)

膜厚:1000nm

尚、サブコレクタ層12は、コレクタ電極とオーミック接合する為不純物濃度を高くした層である。

[0062] HBT20およびダイオード30を覆うように絶縁膜44が形成され、各エミッタを接続す

る共通エミッタ配線40が形成されている。共通エミッタ配線42は、ダイオード30上の絶縁膜44に形成した開口部を介してダイオード30のアノード電極36と接続されている。

[0063] 本実施形態のHBTはnpn型のHBTであるので、エミッタ電極27には+の電圧が、コレクタ電極22には-の電圧が印加されているので、ダイオード30のアノード電極36を介しp型層32には+の電圧が、p型層34には-の電圧が印加されているので、ダイオード30には逆方向の電圧が印加された状態となり、配線42とサブコレクタ層12とは、熱的には導通し、電気的に絶縁されている。なお、配線42の材料として、Auを用いた。

[0064] 絶縁膜44は、シリコン酸化膜を使ったが、シリコン酸化物以外でも、シリコン窒化膜、SiON膜、SiOC膜、アルミニウム窒化膜、ベンゾシクロブテン(BCB)、水素化シリセスキオキサン(HSQ)膜、アルキルシリセスキオキサン(MSQ)膜、又は水素化アルキルシリセスキオキサン(HOSP)膜等を用いることができる。また、これらの材料を組み合わせて用い2層以上から構成される絶縁膜としても勿論良い。共通エミッタ配線42は、エミッタ電極27からの熱の一部を伝導する。伝導された熱の一部は、共通エミッタ配線42と接する絶縁膜44を介してと半導体基板10へと放散される。

[0065] 更に、ダイオード30は、エミッタ電極27から共通エミッタ配線42を通じて伝わってきた熱を半導体基板10へ放散する放熱手段として機能する。さらに、n型層32がサブコレクタ層12を介してHBT20のコレクタ層21と接続されているため、このダイオード30は、HBT20のエミッターコレクタ間に並列接続された保護ダイオードとしても機能する。

[0066] HBTのコレクタ電極22とダイオード30のn型層32とは同一電位であるので本実施例の場合、コレクタ電極22とダイオード30のn型層32との間隔は狭くてもまったく問題ないので、放熱手段となるダイオード30を形成しても位置に対するマージンを大きくとる必要がなくチップ面積を小さくすることができる。続いて、半導体装置1の熱の伝達経路を、図3を用いて説明する。

[0067] 図3は、半導体装置1における熱の流れを模式的に示す図である。図3に示すように、HBT20は、主にベースコレクタ間接合付近の領域Dで熱が発生する。発生し

た熱は、HBT20から直接に半導体基板10に放散される(矢印A1参照)他、共通エミッタ配線42を通じてダイオード30へと伝えられる。電気的には共通エミッタ配線42とコレクタ層12とはダイオード30により絶縁されているが、熱的には配線とコレクタ層12と接続されているので、エミッタ電極27からの熱は共通エミッタ配線42、ダイオード30を介し半導体基板10に放散される(矢印A2参照)。

[0068] 尚、半導体基板10に放熱された熱は、半導体基板10の裏面側の温度が低い裏面側に放熱され、半導体装置の裏面に設けられた放熱部材を介して半導体装置の外部に熱を放散することは言うまでもない。放熱部材は、通常の場合、半導体パッケージの放熱板上に半導体装置の裏面を固着することで行われることが多い。半導体パッケージの放熱板に半導体装置を固着する方法は、金一シリコン、金一ゲルマニウムあるいは金一錫等の合金を用いることが多いが、これ以外の材料を用いてもよいことは言うまでもない。

[0069] 本実施形態の場合、共通エミッタ配線42が半導体基板10と直接つながっていないが、厚さ1200nmのn型層および厚さ80nmのp型層を介して基板と接続されているだけであるので、半導体基板の厚さ $50 \mu m$ から見れば無視できるものであり、絶縁膜を介して接続されている従来技術に比べて効率よく熱が基板に放散されている。

[0070] なお、本実施の形態において放熱用ダイオードとHBT間を基板までエッチングで除去した構造でも勿論良く、これでも本発明の放熱機能は損なわれない。

[0071] 特に本実施の形態では、HBT20とダイオード30との間に絶縁膜44が設けられており、共通エミッタ配線42が絶縁膜44に接触するように形成されている。このため、HBT20で発生した熱は、共通エミッタ配線42から絶縁膜44にも伝えられ(矢印A3参照)、絶縁膜44からも半導体基板10に放熱される。これにより、半導体装置1の放熱性能が一層向上している。

[0072] 尚、共通エミッタ配線42をエアブリッジ配線としても、共通エミッタ配線42の熱が絶縁膜44と接触することによる熱放散の効果は失われるが、ダイオード30を介して熱放散されるのでの共通エミッタ配線42をエアブリッジ配線とすることも可能である。

[0073] なお、本実施の形態においては、全ての放熱手段にダイオード30を用いているが、後述の他の放熱手段と組み合わせることも可能であることは言うまでもない。

[0074] 絶縁膜44として、従来のシリコン酸化膜(比誘電率3.9～4.5)等よりも低誘電率($\epsilon_{\text{r}} = \text{K}$)材料を用いた場合、絶縁膜44に発生する寄生容量を充分に低く抑えることができる。具体的には、絶縁膜44の比誘電率は、3.0以下であることが好ましい。このような低誘電率材料としては、例えば、SiOC、BCB、HSQ、MSQ及びHOSP等が該当する。

[0075] 絶縁膜44として、多孔質膜(ポーラス膜)を用いた場合、低誘電率の絶縁膜44を容易に実現することができる。このような多孔質膜とすることが可能な絶縁膜としては、例えば、SiOC及びMSQ等が挙げられる。

[0076] 本実施の形態では、サブコレクタ層21は、図2の配線が形成されている領域の下にのみ形成されている例を示しているが、サブコレクタ層21は、単位半導体素子領域20およびpn接合ダイオードが形成される、ダイオード領域30にのみ形成されていてよい。本実施の形態では、半絶縁性のGaAsからなる半導体基板10上に、エピタキシャル成長法を用いて、n型のGaAsからなるサブコレクタ層12、n型のGaAsからなるコレクタ層21、p型のGaAsからなるベース層23、n型のAlGaAsからなるエミッタ層24およびn型のInGaAsからなるキャップ層26をこの順にエピタキシャル成長法を用いて形成した後、これらの層をフォトリソグラフィー法とエッチング法を用いて形成されている。

[0077] 図1では、単位半導体素子領域20およびpn接合ダイオードが形成される、ダイオード領域30のサブコレクタ層12は、離間されていないが、単位半導体素子領域20およびpn接合ダイオードが形成される、ダイオード領域30の間のサブコレクタ層が除去されても問題ないことは言うまでもない。

[0078] 上述のように、サブコレクタ層12が、エッチング法を用いて除去されているので、本実施の形態において、pn接合ダイオードに用いるエピタキシャル層が、基板上に形成された、サブコレクタ層12、コレクタ層21、ベース層23を用いて形成することができるので、pn接合ダイオードに用いるエピタキシャル層を別の工程で成長する必要がない。

[0079] 本実施の形態では、アノード電極36をベース層23上に形成しているが、ベース層23と配線とがオーム接合を形成できるのであればアノード電極36を設けずに配

線を直接ベース層23と接合させてもよいことは言うまでもない。

[0080] 単位半導体素子領域20およびpn接合ダイオードが形成される、ダイオード領域30の間のサブコレクタ層が除去されてもエミッタ電極27には+の電圧が印加されているので、配線42とサブコレクタ層12とは、熱的には導通し、電気的に絶縁されている。なお、配線42の材料として、Auを用いた。

[0081] (第2の実施の形態)

図4は、本発明による半導体装置の第2の実施の形態を示す断面図である。半導体装置1aにおいて半導体装置1と相違するのは、ダイオード50の構成である。半導体装置1aのその他の構成は、半導体装置1と同様である。ダイオード50は、サブコレクタ層12上に順に積層されたn型層52及びショットキー電極54により構成されるショットキー接合ダイオードであり、放熱手段及び保護ダイオードの機能を兼ね備えるものである。n型層52は、図1のn型層32と同様に、HBT20のコレクタ層21と同一の組成を有している。ショットキー電極54は、共通エミッタ配線42を介してエミッタ電極27に接続されている。

[0082] ショットキー金属としては、チタン、アルミニウムまたはタンタル等の金属を用いることができる。チタンをショットキー金属として用いた場合、ショットキー電極54の構成は、例えばTi/Pt/Au電極を用いることができる。

[0083] 本実施の形態のHBTはnpn型のHBTであるので、エミッタ電極27には+の電圧が、コレクタ電極22にはーの電圧が印加されているので、ダイオード50のショットキー電極には+の電圧が印加されている。そのため、ダイオード50には逆方向の電圧が印加された状態となり、共通エミッタ配線42とサブコレクタ層12とは電気的に絶縁されている。

[0084] 単位素子となるHBTとショットキー接合を形成する電極には+の電圧が印加されるのでサブコレクタ層12がエッチング除去されている場合でも、共通エミッタ配線42とサブコレクタ層12とは電気的に絶縁されているので何ら問題ないことは言うまでもない。

[0085] 半導体装置1aにおいても、HBT20において発生した熱は、HBT20から直接に半導体基板10に放散される他、共通エミッタ配線42を通じてダイオード50へと伝えら

れ、そのダイオード50からも半導体基板10に放散される。これにより、半導体装置1aは、高い放熱性能を有する。さらに、放熱手段としてダイオード50が設けられているため、過大なサージ電流がHBT20に流れるのを防止できる。これにより、静電破壊耐性に優れた半導体装置1aが実現されている。ここで、ショットキー接合ダイオードは、pn接合ダイオードに比して、ターンオン電圧が低いため、絶縁破壊に対する保護ダイオードとして特に好適に機能させることができる。

[0086] 第1および第2の実施例では、放熱手段としてpn接合ダイオードとショットキー接合ダイオードの例を示したが、他のダイオード、例えばPINダイオード等であってもエミッタ電圧とコレクタ電圧が印加された状態で逆方向の特性が得られるように構成することでpn接合ダイオードまたはショットキー接合ダイオードに変えて用いることは言うまでもない。

[0087] 一方、pn接合ダイオードとショットキー接合ダイオードは、HBTで使用する層を用いることができる所以工程を増加することなくダイオードを形成することができるという効果がある。更に、第1および第2の実施例の放熱手段は、共通エミッタ配線42とコレクタ層12との間のダイオードはGaAs層で構成されている。このような半導体膜は、シリコン酸化膜のような絶縁膜に比べ約50倍熱伝導度が良く、本実施例のようにシリコン酸化膜のような絶縁膜を介さずに配線からの熱を基板に拡散させて効果的に熱を半導体基板に伝達することができる。

[0088] (第3の実施の形態)

図5は、本発明による半導体装置の第3の実施の形態を示す断面図である。また、図6は、本発明による半導体装置の第3の実施の形態を示す平面図である。半導体装置2において、半導体基板10上には、複数のHBT20と複数の放熱手段60とが1次元的に交互に配置されている。HBT20の構成は、図1に示すものと同様である。

[0089] 放熱手段60は、サブコレクタ層12上に形成された金属膜62、及び金属膜62上の絶縁膜44により構成されている。この絶縁膜44は、図1に示すものと同様のものである。つまり、絶縁膜44のうち金属膜62上に設けられた部分が、放熱手段60の一部として機能している。放熱手段60の絶縁膜44は、共通エミッタ配線42を通してHBT20のエミッタ電極27に接続されている。換言すれば、金属膜62と共通エミッタ配線42

との間に絶縁膜44が介在し、MIM容量(Metal Insulation Metal Capacitor)が形成されている。これにより、金属膜62と共にエミッタ配線42とは、絶縁膜44を介して熱的に結合されているが、電気的には絶縁された状態となっている。なお、金属膜62の厚さは、例えば400nmである。また、金属膜62上の絶縁膜44の厚さは、例えば400nmである。なおこの絶縁膜の厚さは熱及びRF的な観点から設計されるものである。

[0090] また、図6に示すように、半導体基板10上の放熱手段60が設けられた領域において、比較的中央部に位置する金属膜62は、比較的端部に位置する金属膜62に比して、サブコレクタ層12との接触面積が大きくなっている。具体的には、HBT20の配列方向に沿って、両端部から中央部に向かうに連れて、金属膜62の面積が徐々に大きくなっている。本実施の形態では、HBT20の配列方向の長さを変えることにより、各金属膜62の面積を変えている。各金属膜62の面積の一例を示すと、最も中央部に近い金属膜62aが $15 \mu m \times 20 \mu m$ 、次に中央部に近い金属膜62bが $10 \mu m \times 20 \mu m$ 、最も端部に近い金属膜62cが $5 \mu m \times 20 \mu m$ である。

[0091] 続いて、半導体装置2の効果を説明する。半導体装置2においては、HBT20において発生した熱は、HBT20から直接に半導体基板10に放散される他、共通エミッタ配線42を通じて放熱手段60へと伝えられ、その放熱手段60からも半導体基板10に放散される。これにより、半導体装置2は、高い放熱性能を有する。しかも、上述した図14に記載の半導体装置のようにバイアホールを通じて放熱する場合とは異なり、チップ面積の増大を抑制することができる。以上のように、チップ面積の増大を抑制しつつ充分に高い放熱性能を有する半導体装置2が実現されている。

[0092] さらに、半導体基板10上に複数設けられた放熱手段60は、比較的中央部に位置するものの方が、比較的端部に位置するものよりもサブコレクタ層12との接触面積が大きくなっている。これにより、熱干渉の影響により特に高温になる中央部のHBT20からの放熱効率を高めることができるため、複数のHBT間における温度の均一化および電流密度の均一化を図ることができる。したがって、HBT20の性能の劣化が抑制され、信頼性に優れた半導体装置2が実現されている。なお、本実施の形態においては、金属膜及び絶縁膜からなる放熱手段を用いたが、他の放熱手段を用いても

よい。例えば、図1又は図4で説明したようなダイオードを用いてもよく、その場合にも上述の効果が奏される。

[0093] 尚、本実施の形態においても、第1の実施の形態あるいは第2の実施の形態と同様に容量素子を形成する領域と単位半導体素子を形成する領域のサブコレクタ層12を離間することができることは言うまでもない。

[0094] また、金属膜62と共にエミッタ配線42との間に絶縁膜44を介在させることにより、容易な構成で、HBT20のエミッターコレクタ間のショートを防止している。これに対して、絶縁膜44を介在させることなく、サブコレクタ層12上の金属膜62と共にエミッタ配線42とを電気的に接続させた場合には、エミッターコレクタ間を絶縁するために、

1. サブコレクタ層12にイオン注入して絶縁領域を設ける。
2. サブコレクタ層12を除去する。

必要がある。

[0095] サブコレクタ層12にイオン注入して絶縁領域を設ける場合も、サブコレクタ層12を除去する場合も、金属膜がサブコレクタ層と接することができない様に、金属膜の寸法に対し、絶縁領域あるいはサブコレクタ層の除去面積を大きくする必要があり、マルチフィンガータイプあるいは単位半導体素子をn×m行列状に配置する場合、チップの面積が大きくなるので、本実施例の構造の方が面積的に有利である。

[0096] しかも、本実施の形態においては、HBT20と放熱手段60との間に設ける絶縁膜44は、配線44とベース電極・コレクタ電極とを絶縁する絶縁膜44の一部を、放熱手段60の絶縁膜として用いているため、半導体装置2の製造工程を増加する事がない。なお、放熱手段60の絶縁膜の厚さは、先に例示した400nmに限られず、金属膜62と共にエミッタ配線42とが電気的に絶縁しつつ熱的に結合し得る厚さであれば、任意である。この厚さは、好ましくは10～5000nm、より好ましくは50～1000nm、さらに好ましくは100～500nmとされる。

[0097] なお、本実施の形態においては、共通エミッタ配線42から絶縁膜44を介して金属膜62に熱を放散させているが、このような絶縁膜44を介した放熱は、必ずしも金属膜62上だけでなく、半導体基板10(或いはサブコレクタ層12)上に直接行うこともできる。すなわち、図7に示すように、半導体基板10上の放熱手段62a、62b、62cが

形成されている領域で、共通エミッタ配線42をHBT20の配列方向と垂直方向に延在させる。HBT20で発生した熱は、放熱手段62a、62b、62cに共通エミッタ配線42から放散され、更に、共通エミッタ配線42から上流および下流に延在する共通エミッタ配線42にも拡散する。共通エミッタ配線42の熱は、共通エミッタ配線42と接触する絶縁膜44を介して半導体基板10に拡散される。

[0098] つまり、共通エミッタ配線42に拡散された熱は、共通エミッタ配線42の面積を広くすることで半導体基板10に熱を拡散することができる。共通エミッタ配線42aの端部を広げる、あるいは図7に示すようにパッド74と接続することもでき、配線の面積42の面積が広がり半導体装置1の熱抵抗を一層低減させることができる。尚、図7では、サブコンタクト層は、第1および第2の実施の形態と同様に、配線の略単位半導体素子が形成されている領域にのみに形成されているが、共通エミッタ配線42から上流および下流に延在する共通エミッタ配線の下にも延在するように形成してもよいことは言うまでもなく、更に、第1および第2の実施の形態のpn接合ダイオードあるいはショットキー接合ダイオードを後述の図8のように、共通エミッタ配線42から上流および下流に延在する共通エミッタ配線の下にも延在するように形成してもよいことは言うまでもない。

[0099] (第4の実施の形態)

図8は、本発明による半導体装置の第4の実施の形態を示す平面図である。半導体装置2aにおいては、半導体装置2と同様に、複数のHBT20と複数の放熱手段60とが1次元的に交互に配置されているとともに、半導体基板10上の放熱手段60が設けられた領域で、比較的中央部に位置する金属膜62aは、比較的端部に位置する金属膜62b、62cに比して、サブコレクタ層12との接触面積が大きくなっている(幅は同一であるが長さが異なっている)。本実施の形態においては、HBT20の配列方向に垂直な方向の長さを変えることにより各金属膜62の面積を変えている点で、半導体装置2と相違している。

[0100] 図8では、サブコンタクト層12と金属膜62a、62b、62cが接続されるように、サブコントラクト層を金属膜62a、62b、62cが連続して配置された方向に対し垂直な方向に延在させている。

[0101] 図8の場合、配線の中央部の放熱手段となる金属膜の面積は端部に比べ中央部で大きくなっているが、単位半導体素子間の間隔は同じ間隔である。この場合、金属膜62b、62cの共通エミッタ配線42との接続部の面積が、最も面積の小さい金属膜62cの共通エミッタ配線42との接続部の面積と同一であり、部分的に半導体基板と接続されている場合であっても、金属膜がサブコンタクト層と接続されている場合と同様の放熱効果があることはいうまでもない。尚、本実施の形態においても前述の実施の形態の放熱手段の構造を用いることができるることは言うまでもない。

[0102] 上記構成の半導体装置2aにおいても、半導体装置2と同様に、高い放熱性能を実現するとともに、複数のHBT間における温度の均一化および電流密度の均一化を図ることができる。

[0103] (第5の実施の形態)

図9は、本発明による半導体装置の第5の実施の形態を示す平面図である。半導体装置2bにおいては、半導体装置2と同様に、複数の単位半導体素子となるHBT20と複数の放熱手段60とが1次元的に交互に配置されているとともに、半導体基板10上の放熱手段60が設けられた領域において、比較的中央部に位置する金属膜62は、比較的端部に位置する金属膜62に比して、サブコレクタ層12との接触面積が大きくなっている。本例においては、HBT20の配列方向及びそれに垂直な方向の長さと共に変えることにより各金属膜62の面積を変えている点で、何れか一方の長さだけを変えている半導体装置2及び半導体装置2aと相違している。尚、本実施の形態においても前述の実施の形態と同様に変形が行えることは言うまでもない。

[0104] 上記構成の半導体装置2bにおいても、半導体装置2と同様に、高い放熱性能を実現するとともに、複数のHBT間における温度の均一化および電流密度の均一化を図ることができる。

[0105] 本発明による半導体装置は、上述の実施の形態に示したものに限られず、様々な変形が可能である。例えば、上記実施の形態では、全てのHBT20についてその両脇に放熱手段が配される構成を示したが、図10に示すように、n(≥ 2)個のHBTを一単位として、各単位の両脇に放熱手段60を配してもよい。換言すれば、HBT20の配列方向に沿って、HBTn個おきに放熱手段60を設けてもよい。中心となるHBT

から順に1個、2個・・おきに放熱手段を設けてもよく、この例示以外の以外の配置も行えることは言うまでもない。

- [0106] 図10の例では、 $n=2$ であり、この場合もHBT20それぞれの近傍に、放熱手段60が配置されていると言える。なお、図10において、放熱手段60は、図6等に示したように面積が相異なっていてもよく、同じ面積であってもよい。
- [0107] また、上記実施の形態では、隣り合う2つのHBT20の間に加えて、HBT20の配列方向の両端にも放熱手段を設ける構成を示したが、図11に示すように、HBT20の配列方向の両端には放熱手段を設けない構成としてもよい。
- [0108] HBT20の配列方向に沿って、HBT20の上流側及び／又は下流側に放熱手段が設けられる構成を示したが、図12に示すように、HBT20の配列方向と垂直な方向に沿って、HBT20の上流側及び／又は下流側に放熱手段60を設けてもよい。この例では、上流側又は下流側の一方にのみ放熱手段を設けている。尚、本実施の形態においても前述の実施の形態と同様に変形が行えることは言うまでもない。
- [0109] HBT20の数が3つ又は4つの場合を示したが、HBT20の数は、これらの値に限らず、いくつであってもよい。
- [0110] 各HBT20の構成として、エミッタが1つ、ベースが2つの場合を例示したが、エミッタは2つ以上であってもよく、ベースは1つ或いは3つ以上であってもよい。
- [0111] エミッタ／ベース／コレクタの組み合わせがAlGaAs／GaAs／GaAsであるHBT20を示したが、InGaP／GaAs／GaAs、InP／InGaAs／InGaAs、InP／InGaAs／InP等の他のGaAs系及びInP系HBTや、Si／SiGe／Si、SiC／SiGe／Si、SiC／Si／Si等のSi系HBT等であってもよい。
- [0112] 半導体基板10としてGaAs基板を示したが、InP等の他の化合物半導体基板、絶縁体基板、Si基板、SOI基板又はSOS基板等であってもよい。
- [0113] また、上記実施の形態において、HBT20のエミッタ電極27を接地するため、半導体基板10にバイアホールを形成し、該バイアホールを金属で埋め込んでも良い。バイアホール製造方法は従来技術等に記載される通常のメッキ法を用いて裏面の金属層を形成する際に埋め込むことができるが、メッキの厚さをバイアホールの開口径の1／2以下の厚さにすれば、バイアホールの側壁に形成される金属（通常、金が用い

られる)でバイアホールを完全に埋めこむことがないので半導体基板にかかる応力を低減することができる。メッキの厚さは、放熱の観点からはバイアホールが完全に埋め込まれる厚さであるほうが良いが、半導体装置に応力が加わらない範囲ができるだけ厚いことが好ましく、バイアホールの開口径の1/10以上の厚さであることがより好ましく、バイアホールの開口径の1/5以上の厚さであることが更に好ましい。

[0114] バイアホールは、例えば、図13に示すように、HBT20及び放熱手段60が配置されている領域に対して、HBT20の配列方向に沿って上流側及び下流側に形成してもよい。この場合、エミッタ電極27は、共通エミッタ配線42及びバイアホール用のパッド82を介してバイアホール80と電気的に接続される。

[0115] 上記実施の形態では、単位半導体素子として、いわゆるダブルベース／シングルエミッタという構成を示したが、その他の構成であってもよい。例えば、図16(a)に示すシングルベース／ダブルエミッタでもよく、図16(b)に示すトリプルベース／ダブルエミッタでもよい。

[0116] (第6の実施の形態)

図17(a)は、本実施の形態の平面を示す模式的平面図で、本実施の形態では、説明を簡略化するために、FETとしてMESFETを用いて説明する。図17(b)は、図17(a)のI—Iの断面を模式的断面図である。

[0117] 図17(a)では、半導体基板96上に形成されたMESFETの電極が示されている。ゲート電極90は、一端で共通電極に接続し、その両側にドレイン電極91とソース電極92とが形成されている。MESFETの場合は、連続してソース・ドレインおよびゲート電極が形成されているが、点線Bで囲われた部分で単位半導体素子が形成されている。

[0118] 図17(a)では、ソース電極92とドレイン電極91とが素子の中央部に位置する電極の面積が大きく素子の端部に行くに従って面積が小さくなっている。従来の全ての電極の面積が同じ場合と異なり、素子の中央部の電極面積が端部の電極面積よりも広く形成してあるので、素子の温度が、中央部が端部よりも高くなることがなくなる。

[0119] ソース電極92あるいはドレイン電極91のうち一方の電極の素子の中央部の電極面積が素子の端部の電極面積よりも狭い場合でも同様の効果を持つことはいうまでもな

い。

[0120] 図17(b)では、半導体基板96上に活性層95上にゲート電極90、ソース電極92およびドレイン電極91が形成され、ゲート電極90、ソース電極92およびドレイン電極91を覆うように形成されたシリコン酸化膜からなる絶縁膜93のソース電極92上に形成された開口を介してソース電極が配線を介して連続して接続している。

[0121] ソース電極92間が配線94を介して接続されているために、熱の伝導性が改善されるため図17(a)のようにソース電極92が離散的に配置されているよりも発熱部Cからの熱の放散が改善される。

[0122] 尚、活性層は模式的に記載したために簡略化しているが、MESFETの場合、活性層は、半導体基板側から、バッファ層、アクティブ層およびコンタクト層の順に形成されている。

[0123] ゲート電極は、アクティブ層上に、ソース電極およびドレイン電極はコンタクト層上に形成されている。

[0124] HEMTの場合、半導体基板から順に、バッファ層、チャネル層、電子供給層が順次形成され、電子供給層上にはゲート電極が形成されている。さらに電子供給層13上には2層のキャップ層が形成され、上層のキャップ層は下層のキャップ層の不純物濃度よりも高い不純物濃度となっている。

[0125] キャップ層はゲート電極部分が一部エッチングで除去されたリセス構造であることが多い。キャップ層上に、ソース電極およびドレイン電極がそれぞれ形成されている。

[0126] ゲート長、ゲート・ソース間隔、ゲート・ドレイン間隔は、例えばそれぞれ $0.7\mu m$ 、 $1.0\mu m$ 、 $1.5\mu m$ とすることができます。

[0127] 尚、図17では、FETを示して説明したが、HBTの場合は、コンタクト電極を用いることで同様の効果が得られることは言うまでもない。

[0128] また、本実施例において、ソース電極を2以上に分割してゲート電極に近いほうを吸熱用とし、遠い電極を放熱用としても良い。この場合、放熱用電極はショットキ電極であっても勿論良い。

[0129] 尚、本発明は上述の実施の形態以外に、本発明の技術思想内で種々の変形が可能であることは言うまでもない。

請求の範囲

- [1] 半導体基板上に形成された複数の単位半導体素子と、
前記単位半導体素子を構成する複数の導電層と、
前記単位半導体素子で発生した熱を放散する放熱手段とを有し、
前記放熱手段は、少なくとも一端が、前記単位半導体素子の電極から延在する配
線に接続されていることを特徴とする半導体装置。
- [2] 前記放熱手段が、隣接する単位半導体素子間に形成されていることを特徴とする
請求項1に記載の半導体装置。
- [3] 単位半導体素子に隣接する2以上の単位半導体素子を有し、前記放熱手段が、前
記2以上の単位半導体素子のいずれか一方の単位半導体素子との間に配されてい
ることを特徴とする請求項1に記載の半導体装置。
- [4] 一定の配列を持って前記半導体基板上に形成された前記複数の単位半導体素子
の端部側に前記放熱手段が形成されていることを特徴とする請求項1に記載の半導
体装置。
- [5] 前記配線が、前記複数の単位半導体素子の同一機能を有する電極間を接続して
いることを特徴とする請求項1に記載の半導体装置。
- [6] 前記単位半導体素子を構成する複数の導電層の1つの導電層あるいは、前記數
の導電層の1つの導電層と同一工程で形成され、前記複数の導電層の1つの導電
層と離間して設けられた導電層と前記放熱手段の他端が接続されていることを特徴と
する請求項5に記載の半導体装置。
- [7] 前記半導体基板が半絶縁性基板であり、前記放熱手段が、前記配線と前記半絶
縁性基板との接続領域であることを特徴とする請求項1に記載の半導体装置。
- [8] 前記配線が、前記単位半導体素子および前記放熱手段を覆う絶縁膜上に形成さ
れ、前記絶縁膜に設けた開口部を介して前記単位半導体素子の電極および前記放
熱手段と接続されていることを特徴とする請求項1に記載の半導体装置。
- [9] 前記配線が、前記複数の単位半導体素子の同一機能を有する電極間を接続して
いることを特徴とする請求項8に記載の半導体装置。
- [10] 前記絶縁膜の比誘電率が、3.0以下であることを特徴とする請求項9に記載の半

導体装置。

- [11] 前記絶縁膜が、多孔質膜であることを特徴とする請求項9に記載の半導体装置。
- [12] 前記半導体基板上の前記放熱手段が設けられた領域の面積は、前記複数の半導素子の比較的中央部に位置する前記放熱手段が設けられた領域の面積が、前記複数の半導素子の比較的端部に位置する前記放熱手段が設けられた領域の面積よりも大きいことを特徴とする請求項1に記載の半導体装置。
- [13] 前記放熱手段が、前記単位半導体素子に電圧が印加された状態で前記配線と前記導電層との間が電気的に絶縁されていることを特徴とする請求項8に記載の半導体装置。
- [14] 前記単位半導体素子が、バイポーラ素子であることを特徴とする請求項1に記載の半導体装置。
- [15] 前記単位半導体素子が、ヘテロバイポーラ素子であることを特徴とする請求項14に記載の半導体装置。
- [16] 前記バイポーラ素子を構成する複数の導電層の1つの導電層、あるいは、前記バイポーラ素子を構成する複数の導電層の1つの導電層と同一工程で形成され、前記複数の導電層の1つの導電層と離間して設けられた導電層と、前記放熱手段の他端とが接続していることを特徴とする請求項14に記載の半導体装置。
- [17] 前記導電層が前記バイポーラ素子のサブコレクタ層、あるいは、前記バイポーラ素子を構成するサブコレクタ層と同一工程で形成され、前記サブコレクタ層と離間して設けられた導電層であることを特徴とする請求項16に記載の半導体装置。
- [18] 前記放熱手段が、少なくとも前記バイポーラ素子の間、または、隣接する前記バイポーラ素子の一方のバイポーラ素子との間に形成されていることを特徴とする請求項16に記載の半導体装置。
- [19] 複数の前記バイポーラ素子の端部に位置するバイポーラ素子の端部側に前記放熱手段が設けられていることを特徴とする請求項18に記載の半導体装置。
- [20] 前記放熱手段が、前記バイポーラ素子に電圧が印加された状態で前記配線と前記導電層との間が電気的に絶縁されていることを特徴とする請求項17に記載の半導体装置。

[21] 複数の前記バイポーラ素子が一定の方向に連続して形成され、
前記放熱手段が少なくとも前記バイポーラ素子の間、または、隣接する前記バイポーラ素子の一方のバイポーラ素子との間に形成され、
前記バイポーラ素子を構成する導電層の1つの導電層、あるいは、前記バイポーラ素子を構成する複数の導電層の1つの導電層と同一工程で形成され、前記複数の導電層の1つの導電層と離間して設けられた導電層とが、前記一定の配列と垂直な方向に延在するように形成されていることを特徴とする請求項16に記載の半導体装置。

[22] 前記電極が、前記バイポーラ素子のエミッタ電極であることを特徴とする請求項16に記載の半導体装置。

[23] 前記配線が、複数の前記バイポーラ素子の前記エミッタ電極間を接続していることを特徴とする請求項16に記載の半導体装置。

[24] 前記配線が、前記バイポーラ素子および前記放熱手段を覆う絶縁膜上に形成され、前記絶縁膜に設けた開口部を介して前記バイポーラ素子の電極および前記放熱手段の一端と接続されていることを特徴とする請求項23に記載の半導体装置。

[25] 前記電極が、前記バイポーラ素子のエミッタ電極であり、
前記導電層が前記バイポーラ素子のサブコレクタ層、あるいは、前記バイポーラ素子を構成するサブコレクタ層と同一工程で形成され、前記サブコレクタ層と離間して設けられた導電層であり、
前記配線と前記バイポーラ素子のサブコレクタ層、あるいは、前記バイポーラ素子を構成するサブコレクタ層と同一工程で形成され、前記サブコレクタ層と離間して設けられた導電層との間に形成された前記放熱手段が、ダイオード素子であることを特徴とする請求項16に記載の半導体装置。

[26] 前記ダイオード素子が、pn接合ダイオードまたはショットキー接合ダイオードである請求項25に記載の半導体装置。

[27] 前記pn接合ダイオードが、前記バイポーラ素子のコレクタ層およびベース層で形成されていることを特徴とする請求項26に記載の半導体装置。

[28] 前記ベース層上に金属電極が形成されていることを特徴とする請求項27に記載の

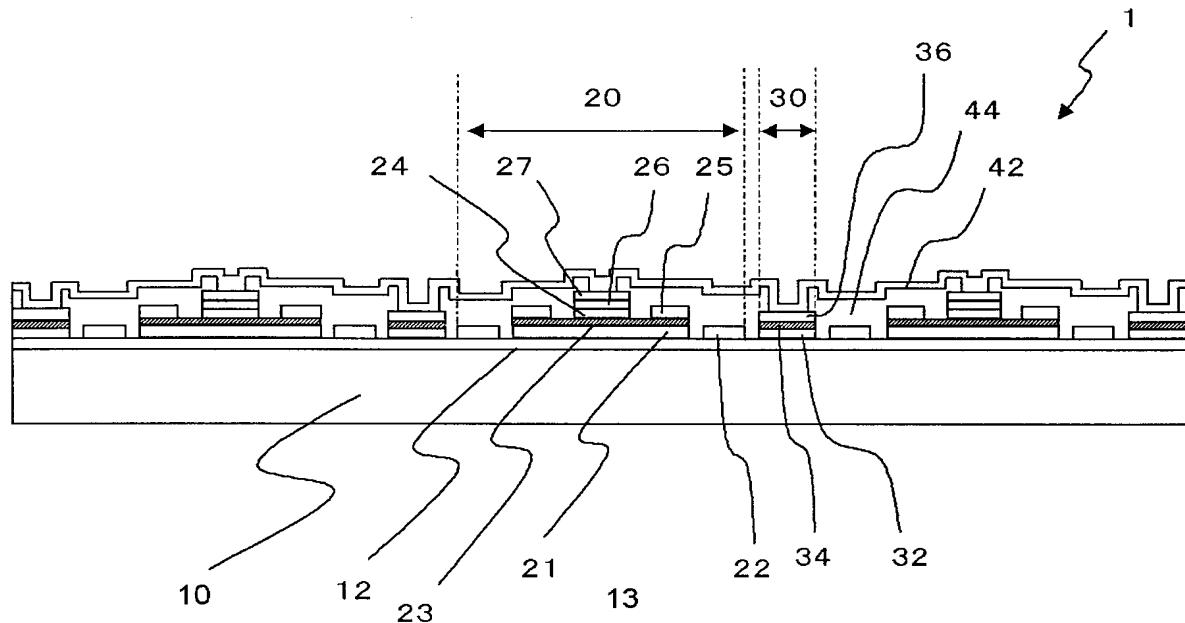
半導体装置。

- [29] 前記ショットキー接合ダイオードが、前記バイポーラ素子のコレクタ層と該コレクタ層上に形成され、前記コレクタ層とショットキー接合を形成する金属層とから形成されていることを特徴とする請求項25に記載の半導体装置。
- [30] 前記ショットキー接合ダイオードは、金属電極を有し、前記金属電極の前記コレクタ層と接する側の金属層が、前記コレクタ層とショットキー接合を形成する金属であることを特徴とする請求項29に記載の半導体装置。
- [31] 前記コレクタ層とショットキー接合を形成する金属層が、前記配線であり、前記配線の少なくとも前記コレクタ層と接する側の金属層が、前記コレクタ層とショットキー接合を形成する金属であることを特徴とする請求項29に記載の半導体装置。
- [32] 前記導電層が前記バイポーラ素子のサブコレクタ層、あるいは、前記サブコレクタ層と同一工程で形成され、前記サブコレクタ層と離間して設けられた導電層であり、前記放熱手段が、前記配線と前記サブコレクタ層あるいは前記サブコレクタ層と離間して設けられた導電層と配線との間に狭持された誘電体層からなる容量素子であることを特徴とする請求項16に記載の半導体装置。
- [33] 前記誘電体層が、前記バイポーラ素子および前記サブコレクタ層を覆う絶縁膜であることを特徴とする請求項32に記載の半導体装置。
- [34] 複数の前記バイポーラ素子が一定の方向に連続して形成され、
少なくとも前記配線が、前記容量素子を形成領域で前記一定の方向に垂直する方向に延在するように形成されていることを特長とする請求項32に記載の半導体装置。
。
- [35] 前記サブコレクタ層が、前記配線に対向するように前記一定の方向に垂直な方向に延在するように形成されていることを特徴とする請求項34に記載の半導体装置。
- [36] 前記半導体基板が半絶縁性基板であり、
前記半絶縁性基板の裏面に形成された裏面金属膜と、
前記半絶縁性基板を貫通する開孔と、
前記開孔に埋め込まれた金属とを有し、
前記放熱手段が、前記半絶縁性基板上に形成された金属膜であつて、

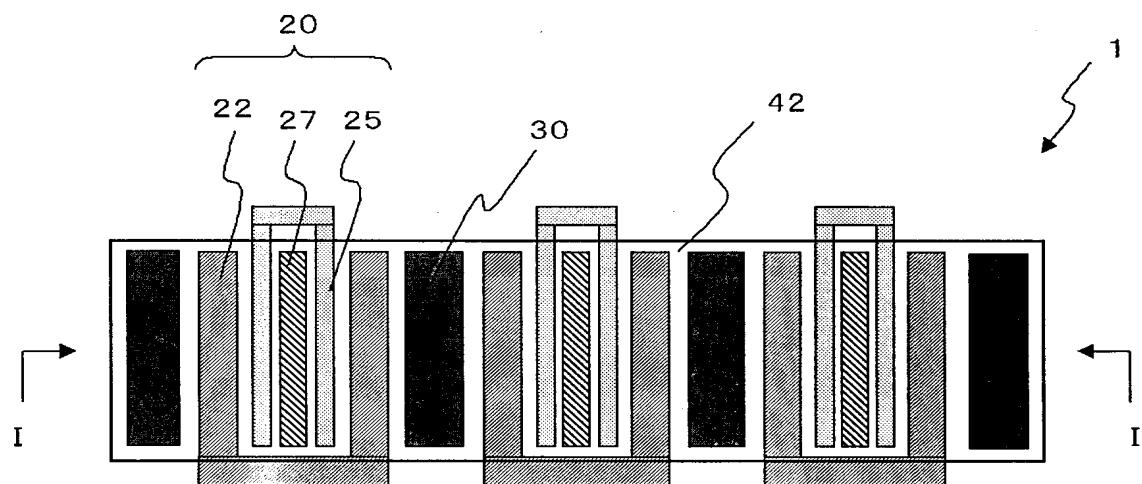
前記金属膜と前記裏面金属膜とが前記開孔に埋め込まれた金属と接続していることを特徴とする請求項23に記載の半導体装置。

- [37] 前記半導体基板上の前記放熱手段が設けられた領域の面積は、前記複数の半導素子の比較的中央部に位置する前記放熱手段が設けられた領域が、前記複数の半導素子の比較的端部に位置する前記放熱手段が設けられた領域に比して、前記放熱手段が設けられた領域の面積が大きいことを特徴とする請求項14に記載の半導体装置。
- [38] 複数の前記バイポーラ素子が一定方向に連続して配置され、前記放熱手段が、前記一定方向に垂直な方向の前記単位半導体素子の端部に形成されていることを特徴とする請求項14に記載の半導体装置。
- [39] 前記バイポーラ素子を構成する導電層の1つの導電層、あるいは、前記単位半導体素子を構成する導電層の1つの導電層と同一工程で形成され、前記複数の導電層の1つの導電層と離間して設けられた導電層と、前記放熱手段の他端とが接続していることを特徴とする請求項38に記載の半導体装置。
- [40] 前記放熱手段が、前記単位半導体素子を構成する電極であることを特徴とする請求項1に記載の半導体装置。
- [41] 前記単位半導体素子が、FETであって、前記電極がソース電極および／またはドレイン電極であることを特徴とする請求項40に記載の半導体装置。
- [42] 前記複数のFETの前記ソース電極間が、前記配線によって接続されていることを特徴とする請求項41に記載の半導体装置。
- [43] 前記ソース電極が、前記複数のFETの比較的中央部に位置する前記ソース電極の面積が、前記複数の半導素子の比較的端部に位置する前記ソース電極の面積に比べて大きいことを特徴とする請求項41に記載の半導体装置。
- [44] 前記単位半導体素子を覆う絶縁膜と該絶縁膜に形成された開孔を介して前記配線が前記ソース電極と接続されていることを特徴とする請求項40に記載の半導体装置。

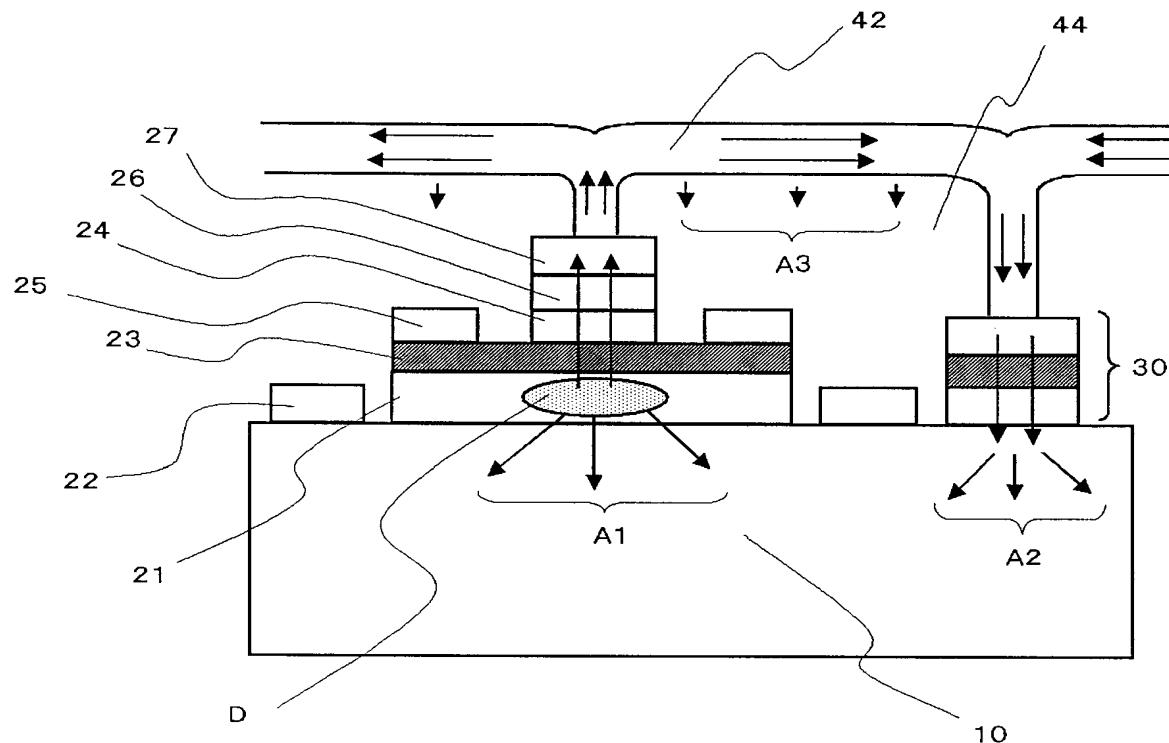
[図1]



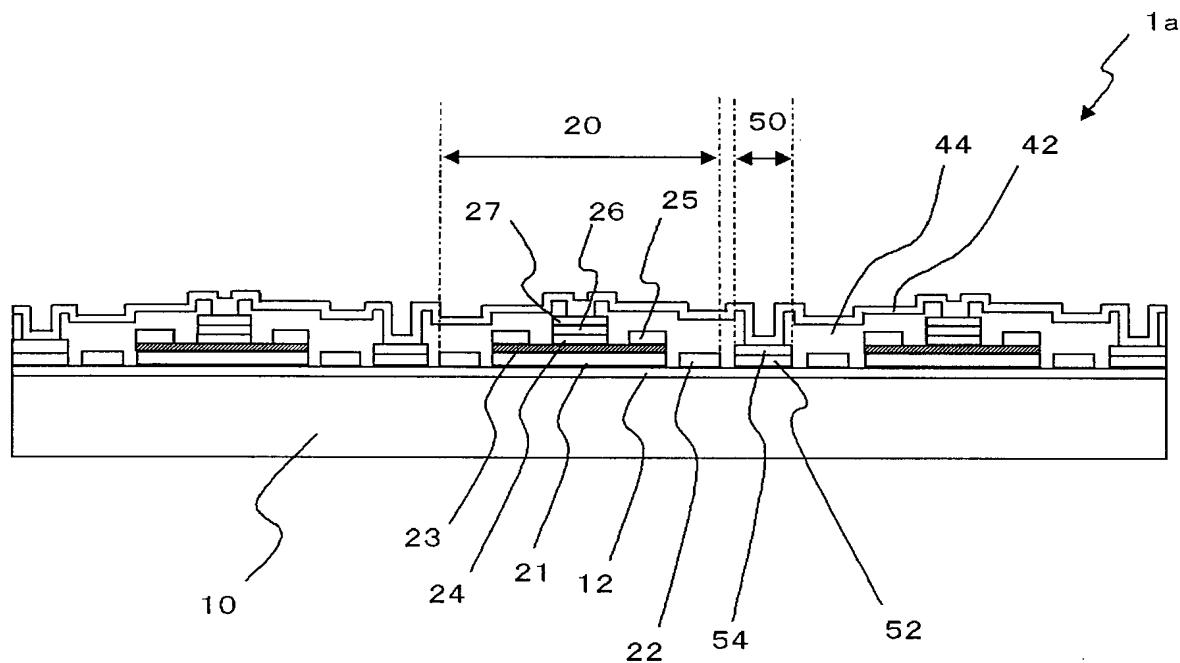
[図2]



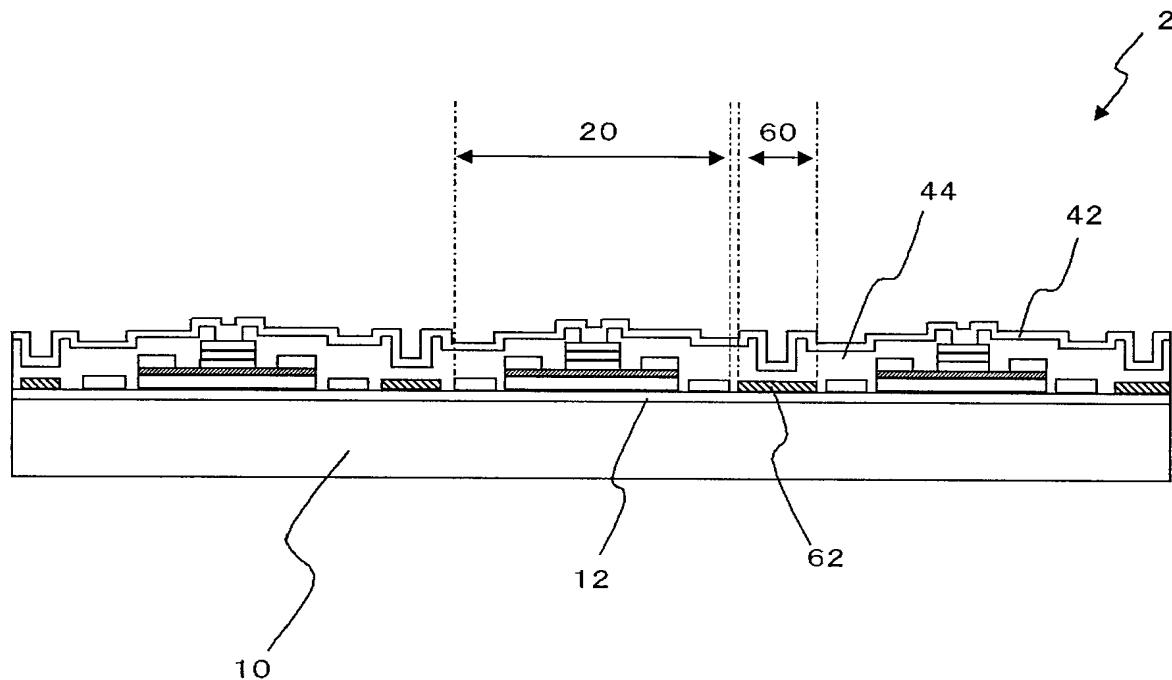
[図3]



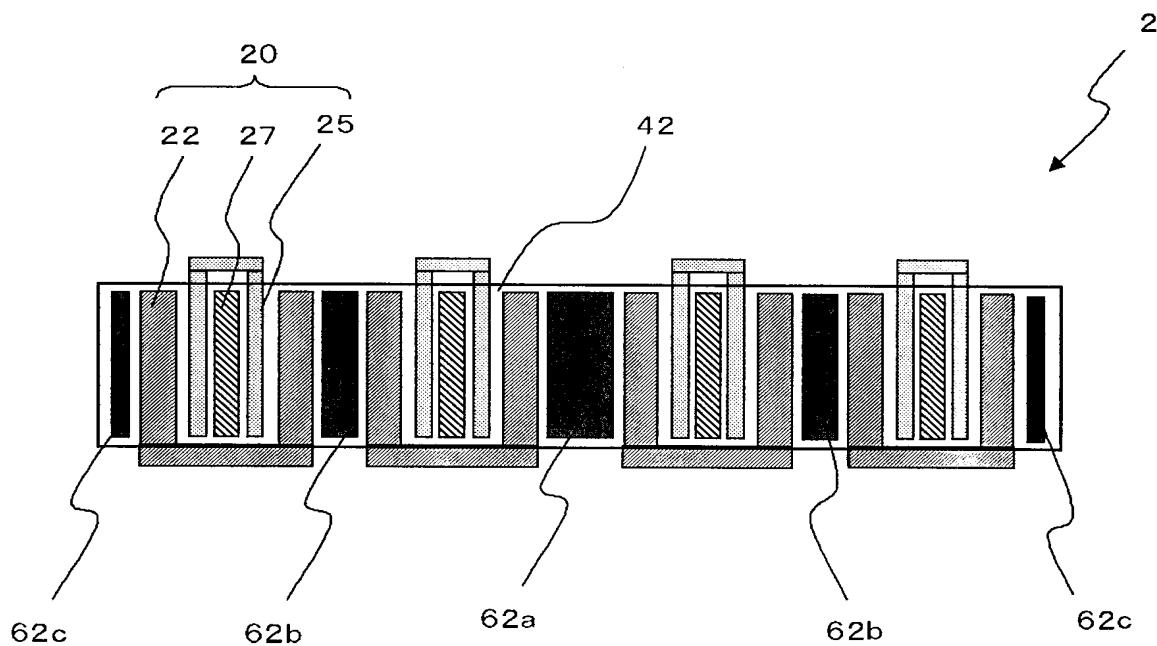
[図4]



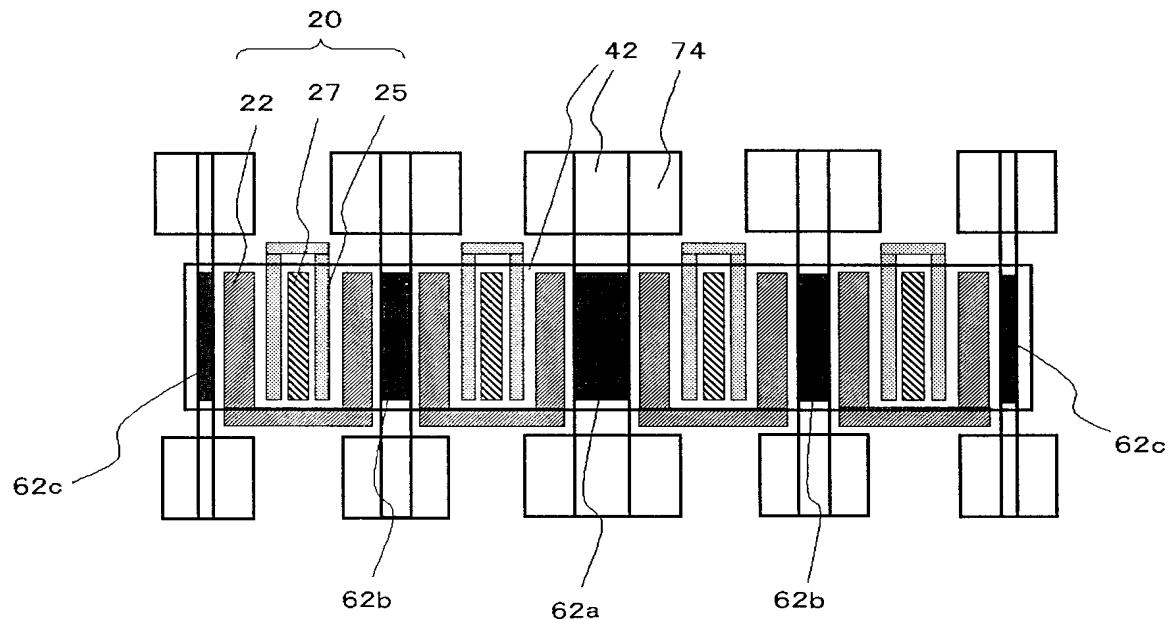
[図5]



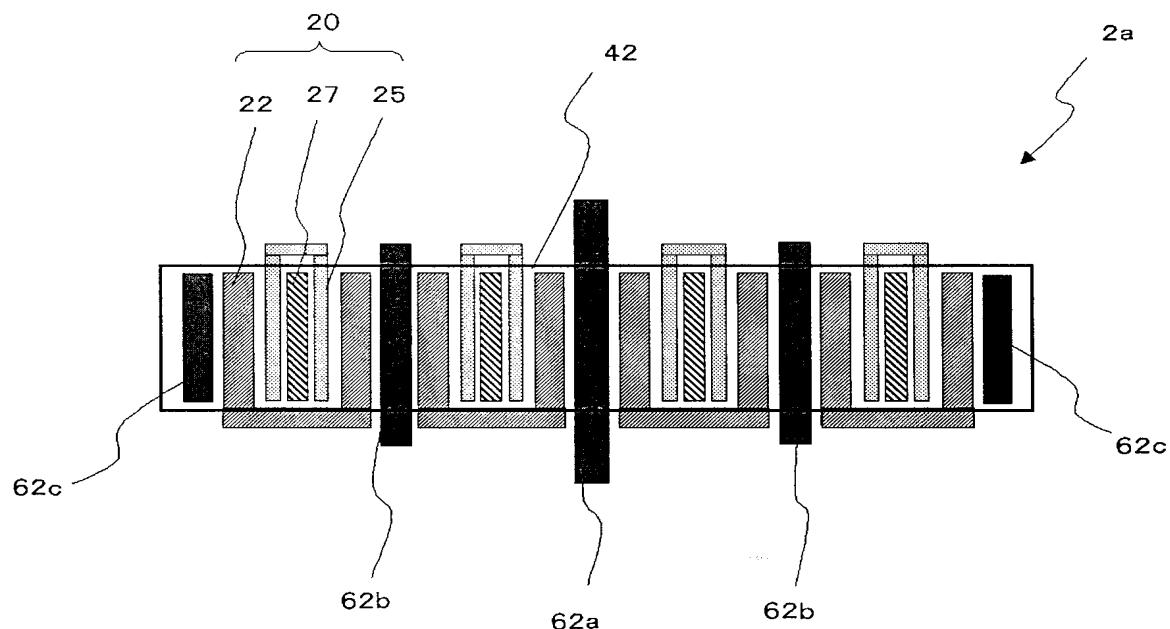
[図6]



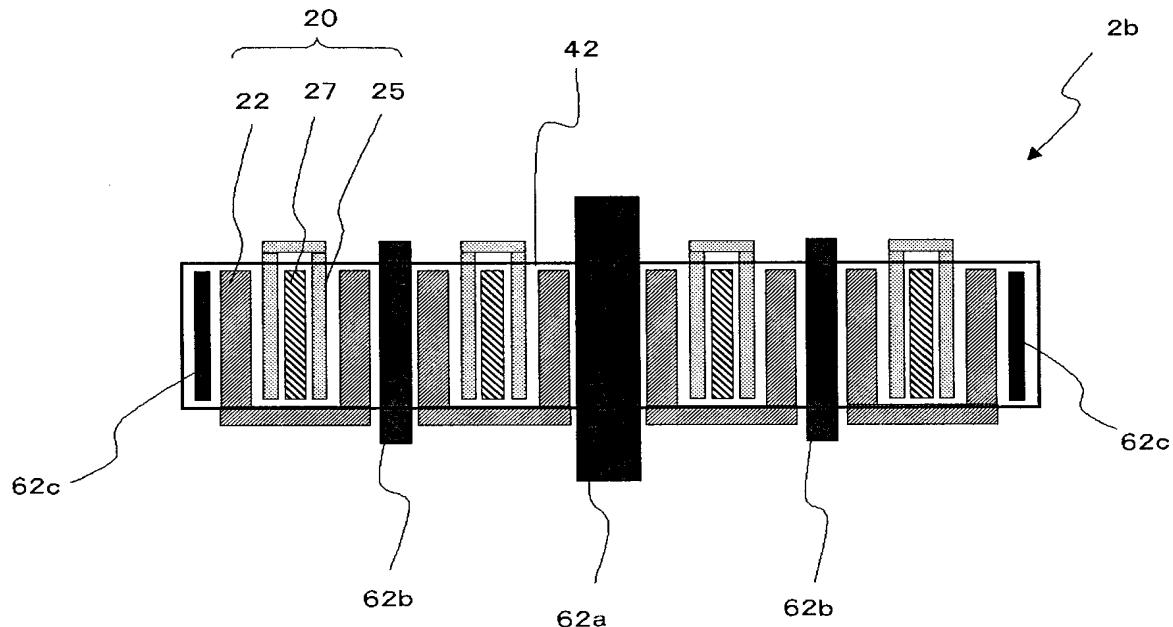
[図7]



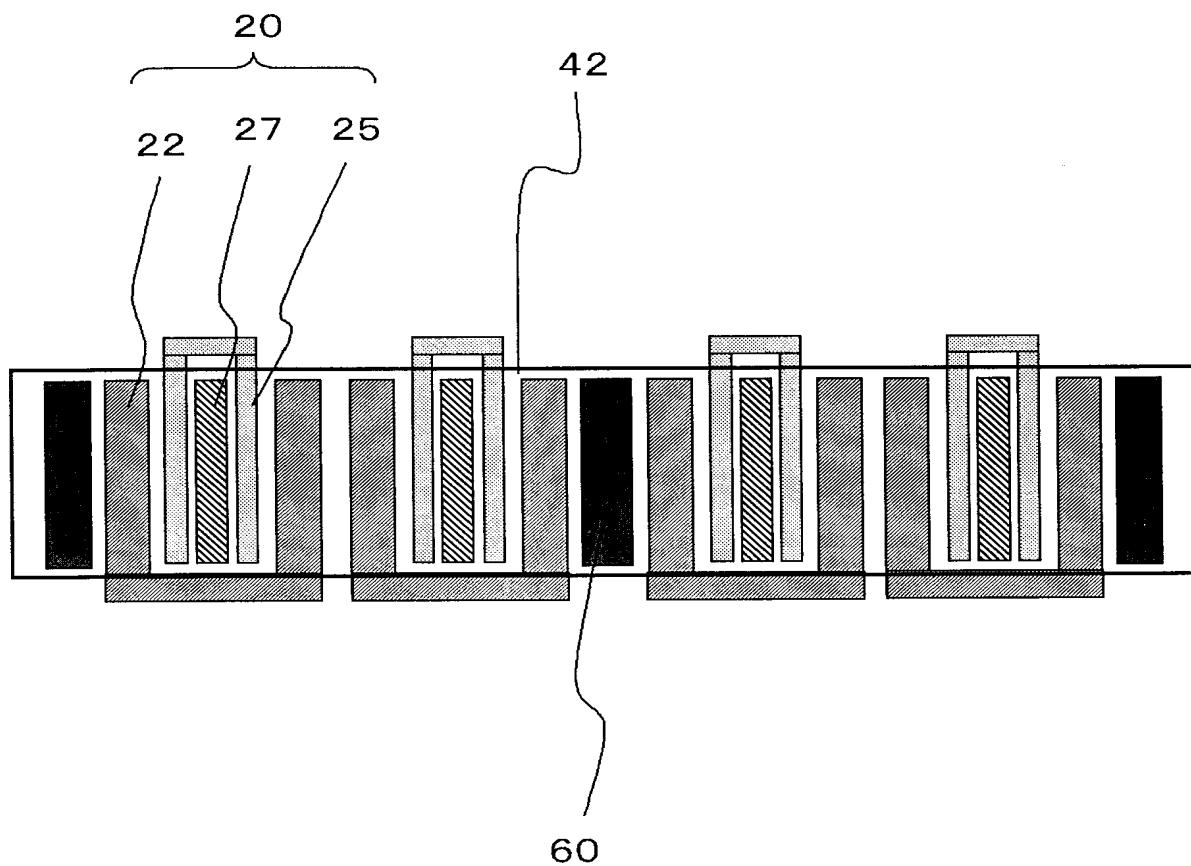
[図8]



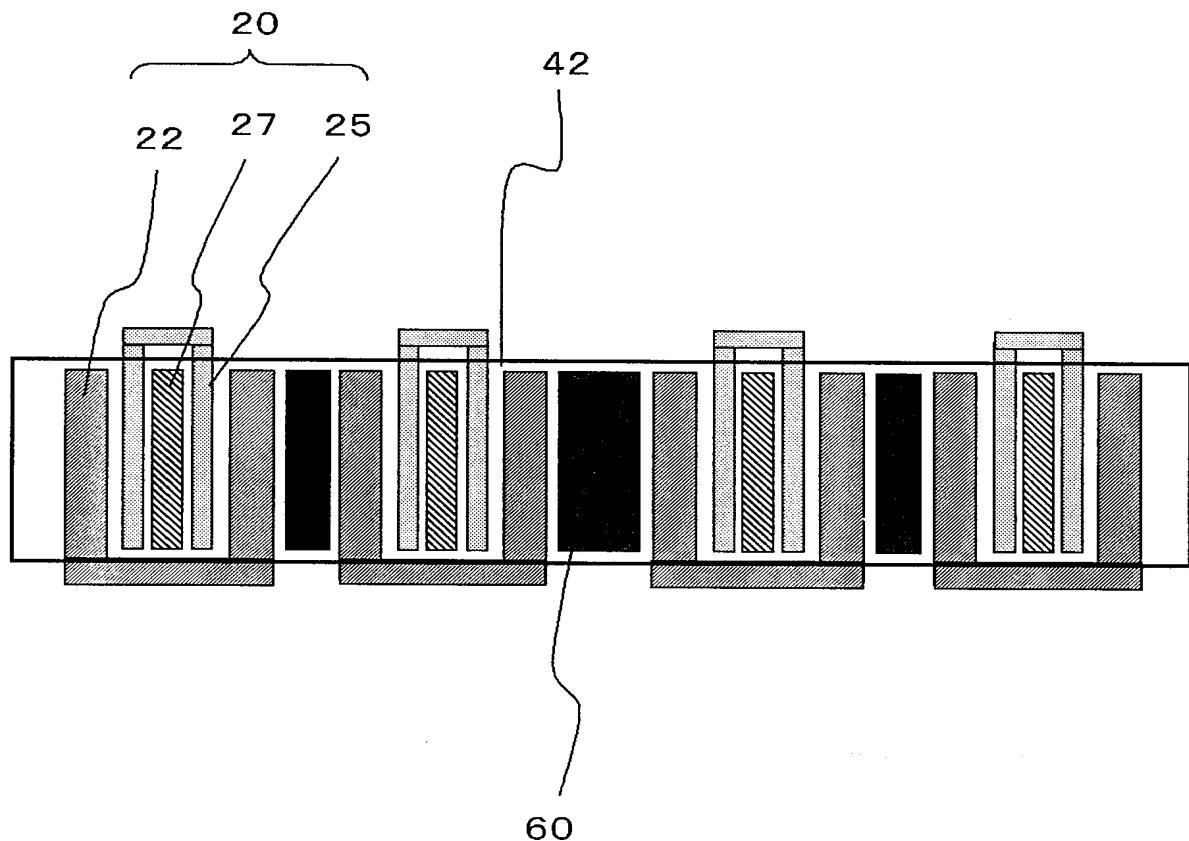
[図9]



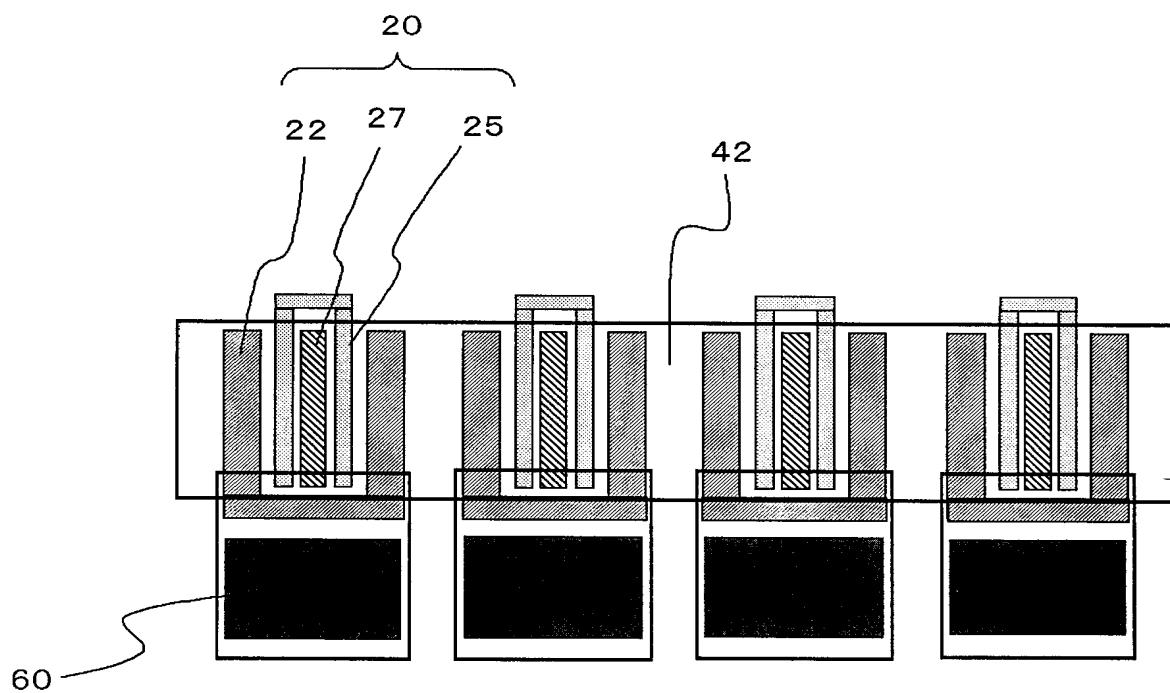
[図10]



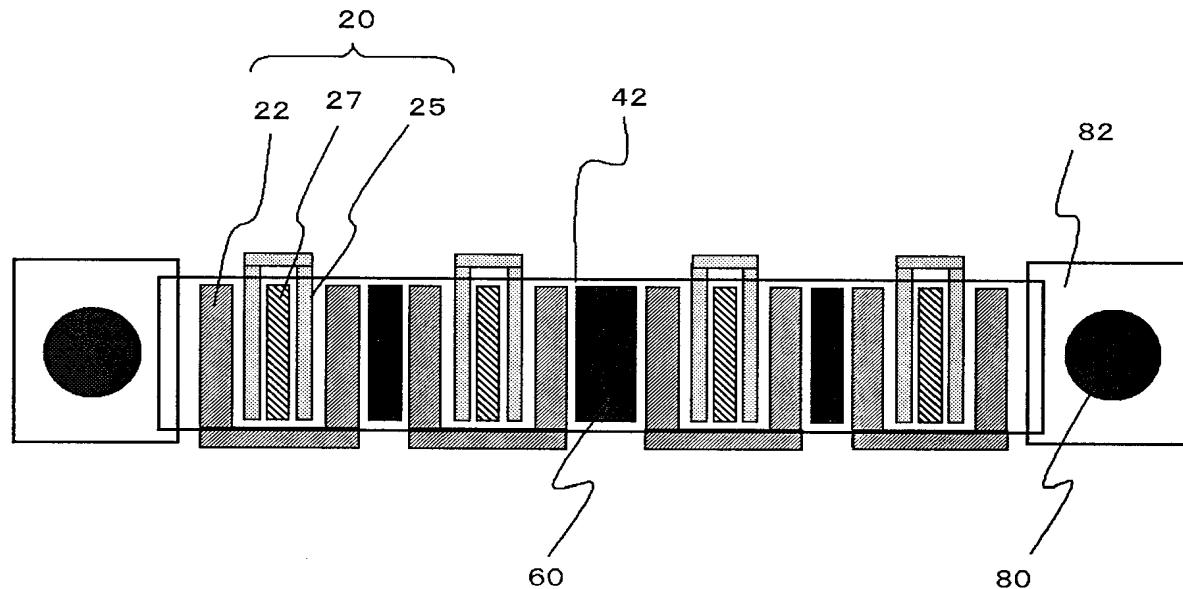
[図11]



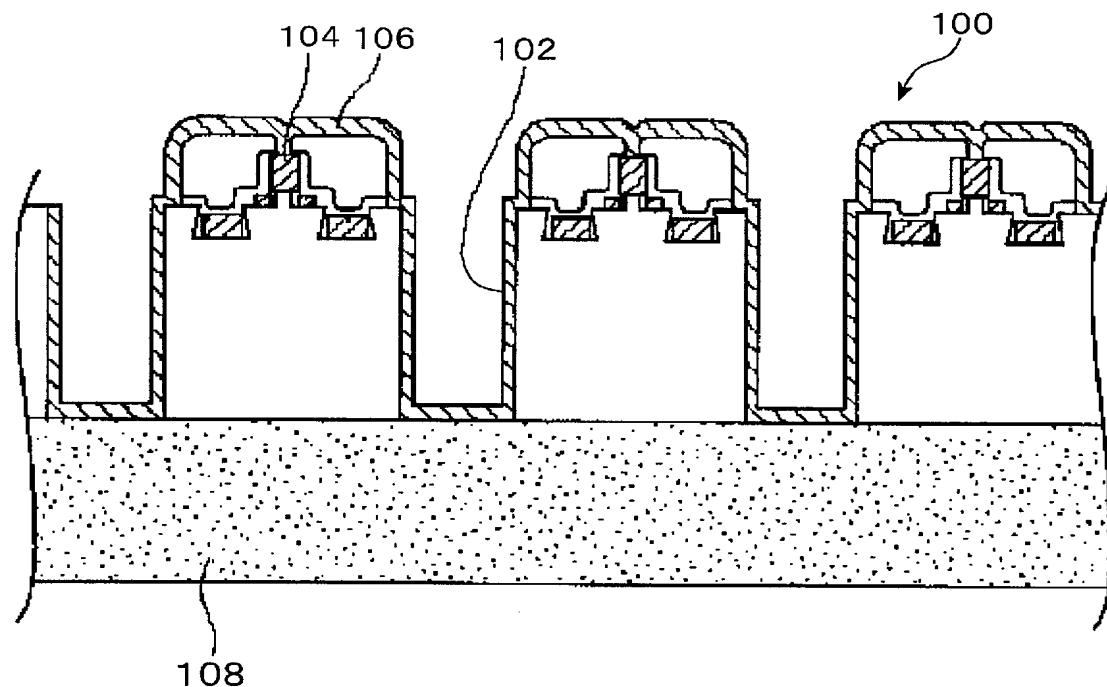
[図12]



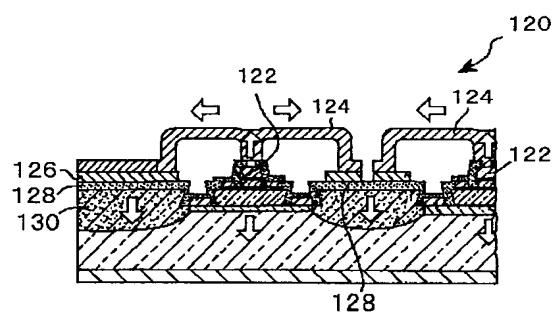
[図13]



[図14]

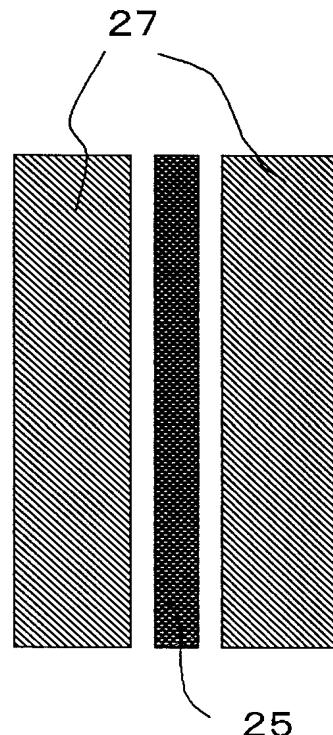


[図15]

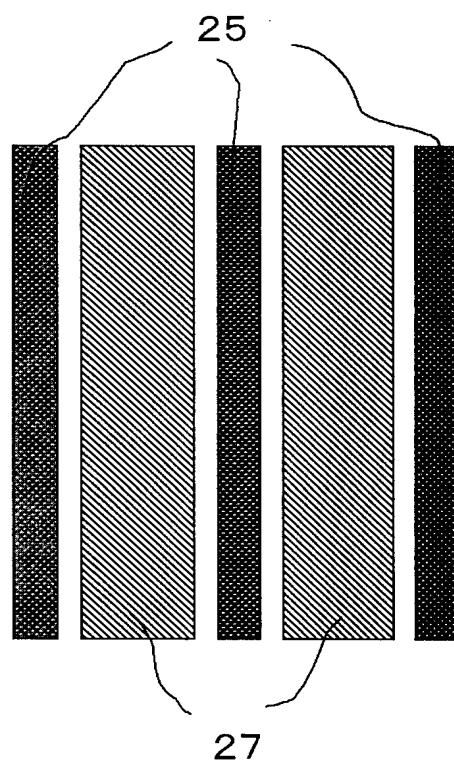


[図16]

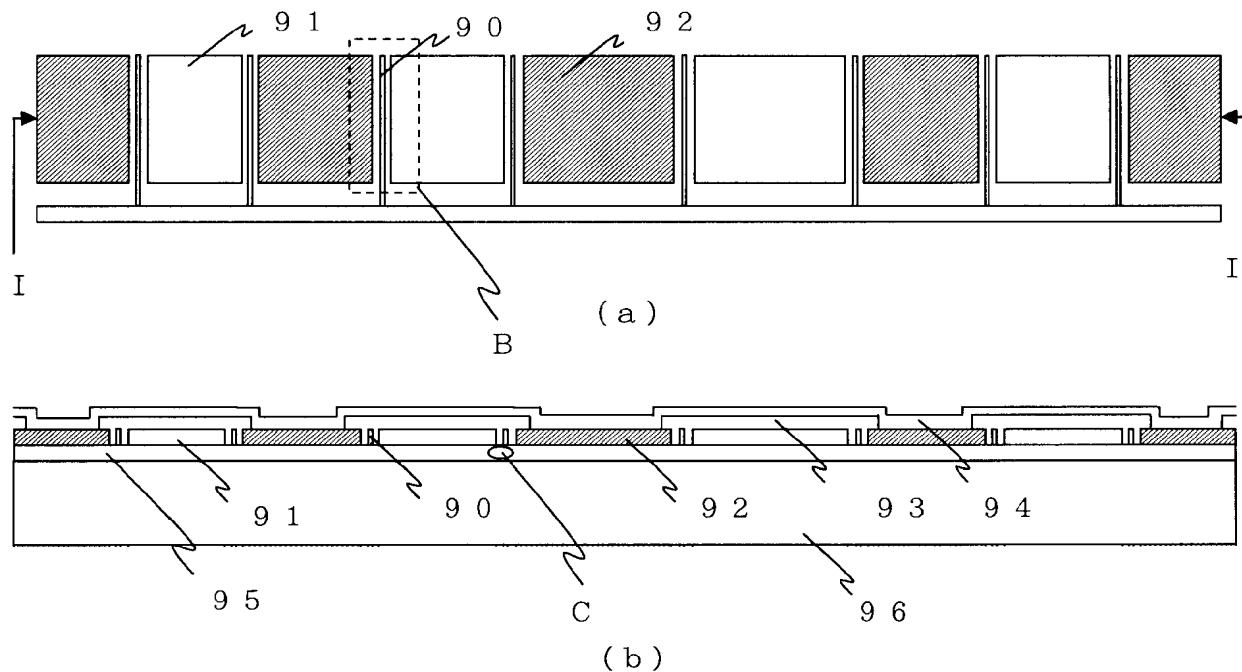
(a)



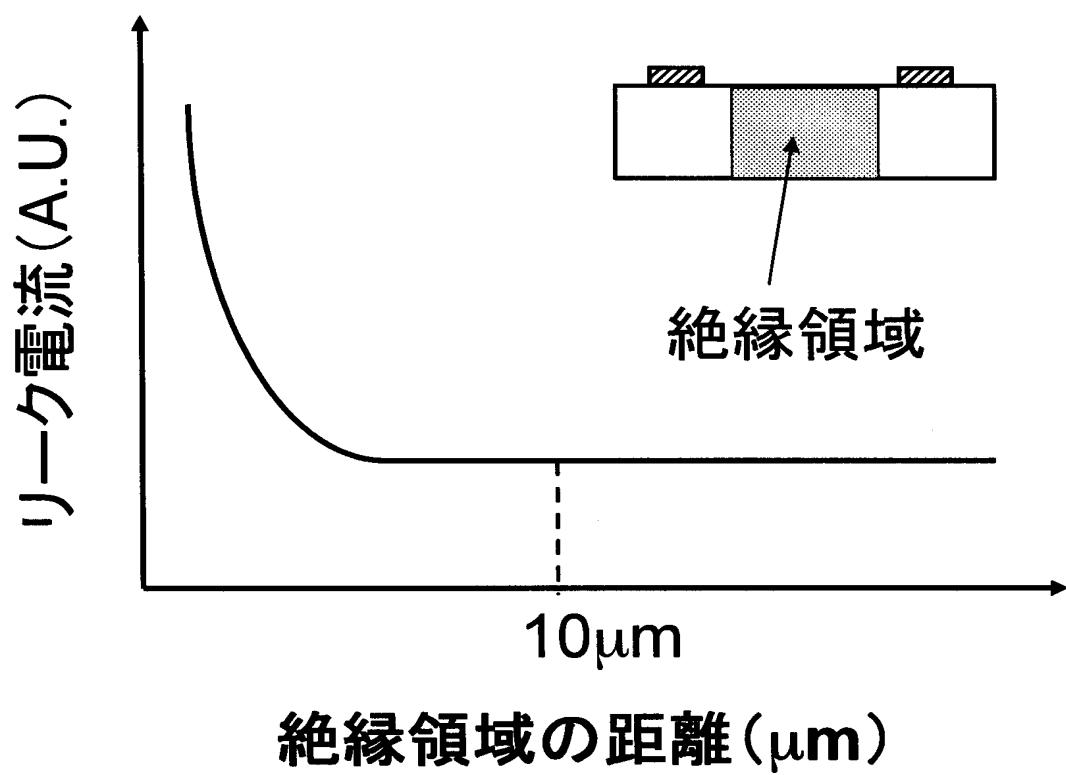
(b)



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006165

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/331, 21/3205, 27/095, 29/47, 29/737, 29/866, 29/872

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/331, 21/3205, 27/095, 29/47, 29/737, 29/866, 29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-274381 A (Mitsubishi Electric Corp.), 08 October, 1999 (08.10.99), (Family: none)	1-24, 32-44
Y		25-31
X	JP 08-227896 A (Fujitsu Ltd.), 03 September, 1996 (03.09.96), (Family: none)	1-24, 32-44
Y		25-31
X	JP 10-144801 A (Toshiba Corp.), 29 May, 1998 (29.05.98), (Family: none)	1-24, 32-44
Y		25-31
Y	JP 2003-224309 A (International Business Machines Corp.), 08 August, 2003 (08.08.03), & US 2003/0111516 A1	25-31

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 June, 2005 (15.06.05)Date of mailing of the international search report
05 July, 2005 (05.07.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006165

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 55-056670 A (Sharp Corp.) , 25 April, 1980 (25.04.80) , (Family: none)	25-31

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.⁷ H01L21/331, 21/3205, 27/095, 29/47, 29/737, 29/866, 29/872

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.⁷ H01L21/331, 21/3205, 27/095, 29/47, 29/737, 29/866, 29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-274381 A (三菱電機株式会社) 1999.10.08 (ファミリーなし)	1-24, 32-44 25-31
Y		
X	JP 08-227896 A (富士通株式会社) 1996.09.03 (ファミリーなし)	1-24, 32-44 25-31
Y		
X	JP 10-144801 A (株式会社東芝) 1998.05.29 (ファミリーなし)	1-24, 32-44 25-31
Y		

■ C欄の続きにも文献が列挙されている。

□ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.06.2005

国際調査報告の発送日

05.7.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

4L 9277

宮崎 園子

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-224309 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2003. 08. 08 & US 2003/0111516 A1	25-31
Y	JP 55-056670 A (シャープ株式会社) 1980. 04. 25 (ファミリーなし)	25-31